

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-111499

(43)Date of publication of application : 12.04.2002

(51)Int.Cl.

H03M 1/66  
H03L 7/00

(21)Application number : 2000-292843

(71)Applicant : SONY CORP

(22)Date of filing : 26.09.2000

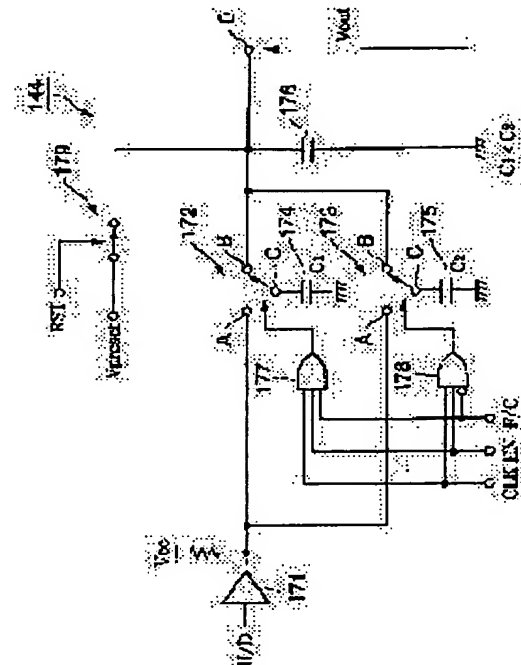
(72)Inventor : IKEDA TAMOTSU  
OZAKI YASUNARI  
IKEDA YASUNARI

## (54) DIGITAL/ANALOG CONVERTER AND NUMERICALLY CONTROLLED OSCILLATOR

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To perform a digital/analog conversion with a simple configuration to operate with high accuracy and also at a high speed.

**SOLUTION:** In a digital/analog converter 144, a voltage responding to an electric charge charged into an output condenser 176 is generated to output to outside via a voltage output terminal O. In the converter 144, a fixed amount of the electric charge is charged/discharged to the condenser 176 at one clock by a fine adjustment condenser 174 according to an up/down signal U/D and an enable signal EN with 1 bit, so that an output voltage Vout is fluctuated by one quantizing unit.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-111499

(P 2 0 0 2 - 1 1 1 4 9 9 A)

(43) 公開日 平成14年4月12日 (2002. 4. 12)

(51) Int. Cl.	識別記号	F I	ターマコード (参考)
H03M 1/66		H03M 1/66	E 5J022
H03L 7/00		H03L 7/00	B 5J106

審査請求 未請求 請求項の数10 O L (全23頁)

(21) 出願番号	特願2000-292843 (P 2000-292843)	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成12年9月26日 (2000. 9. 26)	(72) 発明者	池田 保 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	小崎 康成 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(74) 代理人	100067736 弁理士 小池 晃 (外2名)

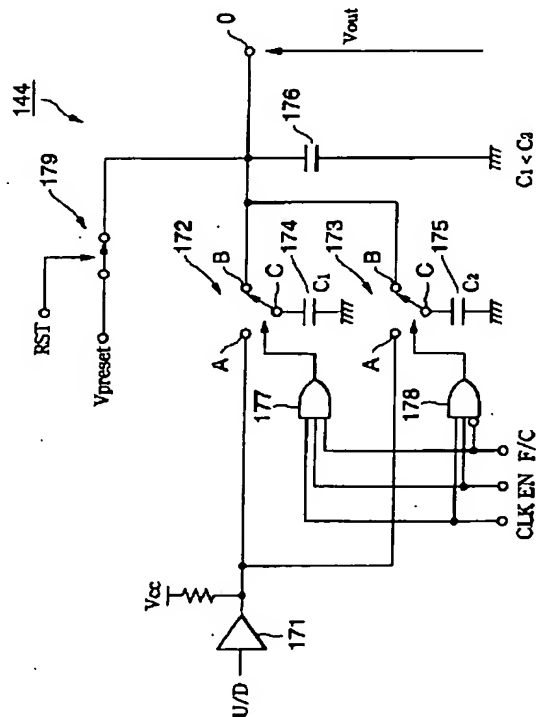
最終頁に続く

## (54) 【発明の名称】 デジタル／アナログ変換装置及び数値制御発振装置

## (57) 【要約】

【課題】 簡易な構成で、高精度且つ高速に動作するデジタル／アナログ変換を行う。

【解決手段】 デジタル／アナログ変換器144では、出力コンデンサ176に蓄積された電荷量に応じた電圧が発生され、その発生電圧が電圧出力端子Oを介して外部に出力される。このデジタル／アナログ変換器144では、微調整用コンデンサ174が1ビットのアップダウン信号U/Dとイネーブル信号ENに応じて、出力コンデンサ176に対して1クロックで一定量の電荷をチャージ／ディスチャージする。そのため、出力電圧V<sub>out</sub>は、1量子化単位で増減する。



## 【特許請求の範囲】

【請求項1】 電圧出力端子に設けられた出力コンデンサと、

上記出力コンデンサに所定量の電荷をチャージするチャージ手段と、

上記出力コンデンサから上記所定量の電荷をディスチャージするディスチャージ手段と、

上記チャージ手段及びディスチャージ手段を制御する制御手段とを備え、

上記制御手段は、1ビットのアップダウン信号とイネーブル信号とが入力され、イネーブル信号が有効とされている場合には、上記1ビットのアップダウン信号に応じて上記チャージ手段又はディスチャージ手段のいずれか一方を動作させることを特徴とするデジタル／アナログ変換装置。

【請求項2】 所定の電圧を発生する充電手段を備え、上記充電手段は、発生した電圧を上記出力コンデンサに対して印可して、上記出力コンデンサに電荷をチャージすることを特徴とする請求項1記載のデジタル／アナログ変換装置。

【請求項3】 上記チャージ手段は、第1の電荷量の電荷を上記出力コンデンサにチャージする微調整用チャージ部と、上記第1の電荷量より多い第2の電荷量の電荷を上記出力コンデンサにチャージする粗調整用チャージ部とを有し、

上記ディスチャージ手段は、上記第1の電荷量の電荷を上記出力コンデンサからディスチャージする微調整用ディスチャージ部と、上記第2の電荷量の電荷を上記出力コンデンサからディスチャージする粗調整用ディスチャージ部とを有し、

上記制御手段には、微調整／粗調整の選択信号が入力され、微調整が選択された場合には、微調整用チャージ部及び微調整用ディスチャージ部を動作させ、粗調整が選択された場合には、粗調整用チャージ部及び粗調整用ディスチャージ部を動作させることを特徴とする請求項1記載のデジタル／アナログ変換装置。

【請求項4】 上記チャージ手段及びディスチャージ手段は、上記所定の電荷量の容量のチャージ／ディスチャージ用コンデンサを有し、この上記チャージ／ディスチャージ用コンデンサを介して上記出力コンデンサに対して、所定の電荷量の電荷のチャージ及びディスチャージを行うことを特徴とする請求項1記載のデジタル／アナログ変換装置。

【請求項5】 上記チャージ手段は、一定の値の電流を発生する定電流源と、上記定電流源から発生された電流を上記出力コンデンサに供給するチャージ用スイッチとを有し、

上記ディスチャージ手段は、一定の値の電流を発生する定電流源と、上記出力コンデンサにチャージされた電荷を上記定電流源に供給するディスチャージ用スイッチと

を有し、

上記チャージ用スイッチ及びディスチャージ用スイッチは、上記1ビットのアップダウン信号に対応して一定時間の間スイッチをオンとすることを特徴とする請求項1記載のデジタル／アナログ変換装置。

【請求項6】 出力コンデンサと、

上記出力コンデンサに所定量の電荷をチャージするチャージ手段と、

上記出力コンデンサから上記所定量の電荷をディスチャージするディスチャージ手段と、

上記チャージ手段及びディスチャージ手段を制御する制御手段とを備え、

上記出力コンデンサに発生されている電圧値に応じた周波数のクロックを出力する電圧制御発振手段とを備え、上記制御手段には、1ビットのアップダウン信号とイネーブル信号とが入力され、イネーブル信号が有効とされている場合には、上記1ビットのアップダウン信号に応じて上記チャージ手段又はディスチャージ手段のいずれか一方を動作させることを特徴とする数値制御発振装置。

【請求項7】 所定の電圧を発生する充電手段を備え、上記充電手段は、発生した電圧を上記出力コンデンサに対して印可して、上記出力コンデンサに電荷をチャージすることを特徴とする請求項6記載の数値制御発振装置。

【請求項8】 上記チャージ手段は、第1の電荷量の電荷を上記出力コンデンサにチャージする微調整用チャージ部と、上記第1の電荷量より多い第2の電荷量の電荷を上記出力コンデンサにチャージする粗調整用チャージ部とを有し、

上記ディスチャージ手段は、上記第1の電荷量の電荷を上記出力コンデンサからディスチャージする微調整用ディスチャージ部と、上記第2の電荷量の電荷を上記出力コンデンサからディスチャージする粗調整用ディスチャージ部とを有し、

上記制御手段には、微調整／粗調整の選択信号が入力され、微調整が選択された場合には、微調整用チャージ部及び微調整用ディスチャージ部を動作させ、粗調整が選択された場合には、粗調整用チャージ部及び粗調整用ディスチャージ部を動作させることを特徴とする請求項6記載の数値制御発振装置。

【請求項9】 上記チャージ手段及びディスチャージ手段は、上記所定の電荷量の容量のチャージ／ディスチャージ用コンデンサを有し、この上記チャージ／ディスチャージ用コンデンサを介して上記出力コンデンサに対して、所定の電荷量の電荷のチャージ及びディスチャージを行うことを特徴とする請求項6記載の数値制御発振装置。

【請求項10】 上記チャージ手段は、一定の値の電流を発生する定電流源と、上記定電流源から発生された電

流を上記出力コンデンサに供給するチャージ用スイッチとを有し、

上記ディスチャージ手段は、一定の値の電流を発生する定電流源と、上記出力コンデンサにチャージされた電荷を上記定電流源に供給するディスチャージ用スイッチとを有し、

上記チャージ用スイッチ及びディスチャージ用スイッチは、上記 1 ビットのアップダウン信号に対応して一定時間の間スイッチをオンとすることを特徴とする請求項 6 記載の数値制御発振装置。

#### 【発明の詳細な説明】

#### 【0001】

【発明の属する技術分野】本発明は、デジタルデータをアナログ信号に変換するデジタル／アナログ変換装置、及び、デジタルデータによって発振周波数が制御される数値制御発振装置に関するものである。

#### 【0002】

【従来の技術】図 15 は、デジタル直交変調を行ってデジタルデータの伝送をする場合の一般的な伝送モデルを示すブロック図である。

【0003】送信系 Tx は、データ発生器 11 と、シリアル／パラレル (S/P) 変換器 12 と、局部発振部 13 と、 $-90^\circ$  度移相器 14 と、第 1 の乗算器 15 と、第 2 の乗算器 16 と、加算器 17 と、波形整形フィルタ 18 とを備えて構成される。

【0004】送信系 Tx のデータ発生器 11 は、I 信号データ及び Q 信号データをシリアル化したデジタルデータを発生する。発生されたデジタルデータは、シリアル／パラレル (S/P) 変換器 12 に供給される。

【0005】S/P 変換器 12 は、入力されたデジタルデータを、(0, 1) のデータから、(1,  $-1$ ) のデータにレベル変換を行い、それとともにシリアル／パラレル変換を行って、I 信号データを第 1 の乗算器 15 に供給し、Q 信号データを第 2 の乗算器 16 に供給する。

【0006】局部発振器 13 は、周波数  $f_c$ 、初期位相  $t_h$  の  $\cos$  波である搬送波を発生する。発生された搬送波は、 $-90^\circ$  度移相器 14 及び第 1 の乗算器 15 に供給される。

【0007】 $-90^\circ$  度移相器 14 は、 $\cos$  波である搬送波を  $90^\circ$  度位相を遅らせ、 $-\sin$  波を生成する。生成した  $-\sin$  波は、第 2 の乗算器 16 に供給される。

【0008】第 1 の乗算器 15 は、I 信号データと  $\cos$  波とを乗算し、加算回路 17 に供給する。第 2 の乗算器 16 は、Q 信号データと  $-\sin$  波とを乗算し、加算回路 17 に供給する。加算回路 17 は、I 信号データが乗算された  $\cos$  波と Q 信号データが乗算された  $-\sin$  波とを加算する。加算した結果、周波数  $f_c$  の搬送波をデジタル直交変調した直交変調信号が生成される。

【0009】そして、この直交変調信号は、波形整形フィルタ 18 により波形整形及び増幅がされ、伝送路 (C

hannel) に伝送される。

【0010】伝送系 (Channel) は、伝送信号にノイズを付加する加算器 19 を備えて構成される。送信系 Tx から伝送された伝送信号は、伝送路によってノイズが付加されて受信系 Rx に受信されることとなる。

【0011】受信系 Rx は、第 1 の乗算器 21 と、第 2 の乗算器 22 と、局部発振器 23 と、 $-90^\circ$  度移相器 24 と、第 1 のローパスフィルタ 25 と、第 2 のローパスフィルタ 26 と、第 1 のアナログ／デジタル (A/D) 変換器 27 と、第 2 のアナログ／デジタル (A/D) 変換器 28 と、第 1 の波形整形フィルタ 30 と、第 2 の波形整形フィルタ 31 と、タイミング同期部 32 と、搬送波同期部 33 と、パラレル／シリアル (P/S) 変換器 34 と、スライサ 35 とを備えて構成される。

【0012】受信信号は、第 1 の乗算器 21 及び第 2 の乗算器 22 に入力される。

【0013】局部発振器 23 は、周波数  $f_c'$ 、初期位相  $t_h'$  の  $\cos$  波である搬送波を発生する。周波数  $f_c'$  及び初期位相  $t_h'$  は、送信側の搬送波とは一般的には一致せず異なる周波数、位相となる。発生された搬送波は、 $90^\circ$  度移相器 24 及び第 1 の乗算器 21 に供給される。

【0014】 $-90^\circ$  度移相器 24 は、 $\cos$  波である搬送波を  $90^\circ$  度位相を遅らせ、 $-\sin$  波を生成する。生成した  $-\sin$  波は、第 2 の乗算器 22 に供給される。

【0015】第 1 の乗算器 21 は、受信信号と  $\cos$  波とを乗算し、I 信号を直交復調する。第 2 の乗算器 22 は、受信信号と  $\sin$  波とを乗算し、Q 信号を直交復調する。復調された I 信号は、第 1 のローパスフィルタ 25 により高域成分が除去されて第 1 の A/D 変換器 27 に供給される。また、復調された Q 信号は、第 2 のローパスフィルタ 26 により高域成分が除去されて第 2 の A/D 変換器 28 に供給される。

【0016】第 1 の A/D 変換器 27 は、I 信号をデジタル化する。また、第 2 の A/D 変換器 28 は、Q 信号をデジタル化する。第 1 の A/D 変換器 27 及び第 2 の A/D 変換器 28 は、タイミング同期部 32 から出力されるサンプリングクロック CLK によって I 信号及び Q 信号をサンプリングする。このときサンプリング周波数は、送信側の伝送シンボルと周波数及び位相が同期するように、タイミング同期部 32 により制御される。デジタル化された I 信号データは、第 1 の波形整形フィルタ 30 により波形整形がされた後、搬送波同期部 33 に供給される。デジタル化された Q 信号データは、第 2 の波形整形フィルタ 31 により波形整形がされた後、搬送波同期部 33 に供給される。

【0017】タイミング同期部 32 は、受信データの伝送シンボルの同期タイミングの誤差を検出し、この伝送シンボルの同期タイミングの誤差が 0 となるようなサンプリングクロック CLK、即ち、送信側の伝送シンボル

のクロックと同期したサンプリングクロックCLKを生成する。生成したサンプリングクロックCLKは、第1のA/D変換器27及び第2のA/D変換器28に供給される。

【0018】搬送波同期部33は、伝送データ(I, Q)に含まれている搬送波周波数誤差及び搬送波位相誤差を検出し、その誤差成分の補正をすることにより、受信側の局部発振器23により発生された搬送波の周波数 $f_c'$ 及び位相 $t_h'$ と送信側の搬送波の周波数 $f_c$ 及び位相 $t_h$ との間で生じている周波数及び位相ずれを補正する。搬送波の補正がされたI信号データ及びQ信号データは、それぞれP/S変換器34に供給される。

【0019】P/S変換器34は、I信号データ、Q信号データの順で受信データを選択して、シリアルデータに変換する。生成されたシリアルデータは、スライサ35に供給される。

【0020】スライサ35は、入力データがある所定の値より大きい場合には0を出力し、入力データがある所定の値より小さい場合には1を出力する。

【0021】そして、このスライサ35から送信データが再生される。

【0022】つぎに、タイミング同期部32について、さらに説明をする。

【0023】タイミング同期部32に回路構成例を図16に示す。

【0024】タイミング同期部32は、例えば、図16に示すように、位相誤差検出回路41と、D/A変換器42と、ローパスフィルタ43と、VCO (Voltage Controlled Oscillator) 44とを備えて構成される。

【0025】位相誤差検出回路41は、波形整形フィルタ30、31により波形整形されたI信号データ、Q信号データから、伝送シンボルの同期タイミングの位相誤差を算出する。例えば、位相誤差検出回路41は、I信号データ、Q信号データの0クロスタイミングと、内部で発生する基準タイミングとを比較することにより、伝送シンボルの同期タイミングの位相誤差を算出する。検出された伝送シンボルの同期タイミングの位相誤差は、D/A変換器42に供給される。

【0026】D/A変換器42は、伝送シンボルの同期タイミングの位相誤差をアナログ信号に変換する。アナログ信号に変換された伝送シンボルの同期タイミングの位相誤差信号は、ローパスフィルタ43に供給される。

【0027】ローパスフィルタ43は、位相誤差信号をフィルタリングして、ノイズ成分を除去し、VCO 44に供給する。

【0028】VCO 44は、供給された位相誤差信号の信号レベルに応じて、その発振周波数が制御されたサンプリングクロックCLKを出力する。VCO 44は、入力された位相誤差信号が0となるようにその発振周波数を制御する。

【0029】続いて、タイミング同期部32の他の回路構成例を図17に示す。

【0030】タイミング同期部32は、例えば、図17に示すように、位相誤差検出回路51と、ループフィルタ52と、D/A変換器53と、VCO (Voltage Controlled Oscillator) 44とを備えて構成される。

【0031】位相誤差検出回路51は、図16に示した位相誤差検出回路41と同様に、波形整形フィルタ30、31により波形整形されたI信号データ、Q信号データから、伝送シンボルの同期タイミングの位相誤差を算出する。例えば、位相誤差検出回路41は、I信号データ、Q信号データの0クロスタイミングと、内部で発生する基準タイミングとを比較することにより、伝送シンボルの同期タイミングの位相誤差を算出する。検出された伝送シンボルの同期タイミングの位相誤差は、ループフィルタ52に供給される。

【0032】ループフィルタ52は、例えば加算器56とレジスタ57とから構成されたデジタルのローパスフィルタであり、検出した位相誤差のノイズ成分を除去する。ノイズ成分が除去された位相誤差は、D/A変換器53に供給される。

【0033】D/A変換器53は、ノイズ成分が除去された位相誤差をアナログ信号に変換する。アナログ信号に変換された伝送シンボルの同期タイミングの位相誤差信号は、VCO 54に供給される。

【0034】VCO 54は、供給された位相誤差信号の信号レベルに応じて、その発振周波数が制御されたサンプリングクロックCLKを出力する。VCO 54は、入力された位相誤差信号が0となるようにその発振周波数を制御する。

【0035】このような図16、図17に示すタイミング同期部32によって、サンプリングクロックCLKを生成することによって、伝送シンボルの同期タイミングの同期をとることができる。

【0036】

【発明が解決しようとする課題】ところで、例えばCSデジタル放送等の従来のデジタル伝送系では、伝送信号は全て同一の変調方式で変調されていたり(CSデジタル放送の場合はQPSK)、C/Nが比較的良好であったり、シンボル速度も比較的低速であった。そのため、サンプリングクロックCLKを生成するために、D/A変換器やNCOが比較的低速であったり、精度が悪くても、十分に安定した動作を確保することができた。

【0037】これに対して、日本におけるBSデジタル放送方式では、BPSK、QPSK、8PSKの3種類の変調方式が採用されており、各変調方式が動的に変化する。また、低C/N環境下での受信が求められ、さらに、シンボル速度も高速化されている。

【0038】そのため、より高精度且つ高速で、簡易な構成のデジタル/アナログ変換器や、デジタル/アナロ

グ変換器とVCOとを組み合わせたNCOが求められている。

【0039】本発明は、簡易な構成で、高精度且つ高速に動作するデジタル／アナログ変換装置及び数値制御発振装置を提供することを目的とする。

#### 【0040】

【課題を解決するための手段】本発明にかかるデジタル／アナログ変換装置は、電圧出力端子に設けられた出力コンデンサと、上記出力コンデンサに所定量の電荷をチャージするチャージ手段と、上記出力コンデンサから上記所定量の電荷をディスチャージするディスチャージ手段と、上記チャージ手段及びディスチャージ手段を制御する制御手段とを備え、上記制御手段は、1ビットのアップダウン信号とイネーブル信号とが入力され、イネーブル信号が有効とされている場合には、上記1ビットのアップダウン信号に応じて上記チャージ手段又はディスチャージ手段のいずれか一方を動作させることを特徴とする。

【0041】このデジタル／アナログ変換装置では、出力コンデンサに蓄積された電荷量に応じた電圧が発生され、その発生電圧が電圧出力端子を介して外部に出力される。このデジタル／アナログ変換装置では、チャージ手段／ディスチャージ手段が1ビットのアップダウン信号とイネーブル信号に応じて、出力コンデンサに対して1クロックで一定量の電荷をチャージ／ディスチャージする。そのため、出力電圧は、1量子化単位で増減する。

【0042】本発明にかかる数値制御発振装置は、出力コンデンサと、上記出力コンデンサに所定量の電荷をチャージするチャージ手段と、上記出力コンデンサから上記所定量の電荷をディスチャージするディスチャージ手段と、上記チャージ手段及びディスチャージ手段を制御する制御手段とを備え、上記出力コンデンサに発生されている電圧値に応じた周波数のクロックを出力する電圧制御発振手段とを備え、上記制御手段には、1ビットのアップダウン信号とイネーブル信号とが入力され、イネーブル信号が有効とされている場合には、上記1ビットのアップダウン信号に応じて上記チャージ手段又はディスチャージ手段のいずれか一方を動作させることを特徴とする。

【0043】この数値制御発振装置では、出力コンデンサに蓄積された電荷量に応じた電圧が発生され、その発生電圧が電圧制御発振手段に供給される。電圧制御発振手段は、この出力コンデンサに発生されている電圧値に応じた周波数のクロックを出力する。この数値制御発振装置では、チャージ手段／ディスチャージ手段が1ビットのアップダウン信号とイネーブル信号に応じて、出力コンデンサに対して1クロックで一定量の電荷をチャージ／ディスチャージする。そのため、出力電圧は、1量子化単位で増減し、クロックの周波数の一定周波数毎に

増減する。

#### 【0044】

【発明の実施の形態】以下、本発明の実施の形態として、本発明を適用したBSデジタル放送の受信装置について説明する。

#### 【0045】BSデジタル放送受信装置の全体構成

図1に、BSデジタル放送の受信装置のブロック図を示し、このBSデジタル放送の受信装置について説明を行う。

【0046】受信装置100は、復調部101と、第1のデマルチプレクサ102と、内符号復号部103と、第2のデマルチプレクサ104と、デインタリーバ105と、主信号逆エネルギー拡散部106と、フレーム再構成部107と、主信号RS復号部108と、TMCC逆エネルギー拡散部109と、第3のデマルチプレクサ110と、TMCC-RS復号部111と、TMCC制御部112とを備えて構成される。

【0047】復調部101には、パラボラアンテナで受信したRF信号が入力される。復調部101は、RF信号に搬送波信号を乗算して、直交変調信号であるI信号、Q信号を復調する。また、この復調部101は、周波数変換、搬送波同期、タイミング同期も行う。また、この復調部101において、BPSK変調されているTAB信号（同期ワード）からスーパーフレーム及びフレームの開始位置を検出してもよい。復調されたI信号データ、Q信号データは、第1のデマルチプレクサ102に送出される。

【0048】第1のデマルチプレクサ102は、復調部101で検出されたフレーム開始位置からシンボルをカウントし、所定のシンボル位置にあるバースト信号を、主信号データ及びTMCCデータ（TAB信号も含む）から分離する。バースト信号は、そのまま読み捨てられる。主信号データ及びTMCCデータは、内符号復号部103に送出される。

【0049】内符号復号部104は、各シンボルの変調方式及び内符号符号化率に従って、デバークチャリング処理及びビタビ復号を行う。内符号復号されたデータは、第2のデマルチプレクサ104に送出される。

【0050】第2のデマルチプレクサ104は、主信号データと、TMCCデータ（TAB信号も含む）とを分離する。分離された主信号データは、デインタリーバ105に送出される。分離されたTMCCデータ（TAB信号も含む）は、TMCC逆エネルギー拡散処理部106に送出される。

【0051】デインタリーバ105は、送信側で行われたインタリーブ処理と逆の規則に従い、主信号データをデインタリーブする。デインタリーブされた主信号は、主信号逆エネルギー拡散部106に送出される。

【0052】主信号逆エネルギー拡散部106は、15次系列の疑似ランダム系列（PRBS）を、主信号デー

10

20

30

40

50

タに対して1ビットずつ加算して、送信側で行われたエネルギー拡散処理に対する逆処理を行う。なお、疑似ランダム符号系列(PRBS)はスーパーフレームの先頭で初期化される。また、各スロットの先頭の1バイト目に対してはエネルギー拡散処理はされないが、この間も、PRBSの発生は継続する。逆エネルギー拡散された主信号データは、フレーム再構成部107に送られる。

【0053】フレーム再構成部107は、伝送時において削除されたトランスポートパケット(TSP)の同期ワード(0x47)を付加する処理等の送信側のデータフレームに対応したフレーム構造にデータ構造を再構成する。再構成された主信号データは、主信号RS復号部108に送出される。

【0054】主信号RS復号部108は、204バイトからなる伝送パケット単位で、RS(204, 188)のRS復号を行い、TSPを出力する。

【0055】TMCC逆エネルギー拡散処理部109は、1スーパーフレーム分のTMCCデータ及びTAB信号をバッファに蓄積したのち、9次の疑似ランダム符号系列(PRBS)を、TMCCデータ及びTAB信号に対して1ビットずつ加算して、送信側で行われたエネルギー拡散処理に対する逆処理を行う。なお、この疑似ランダム符号系列(PRBS)はスーパーフレームの先頭で初期化される。また、TAB信号に対してはエネルギー拡散は行わないが、PRBSの発生は継続する。エネルギー拡散されたTMCCデータ及びTAB信号は、第3のデマルチプレクサ110に送出される。

【0056】第3のデマルチプレクサ110は、TMCCデータとTAB信号とを分離する。分離されたTAB信号は、読み捨てられる。分離されたTMCCデータは、TMCC-RS復号部111に送出される。

【0057】TMCC-RS復号部111は、64バイトからなるTMCCデータを、RS(64, 48)のRS復号を行い、TMCC情報を出力する。RS復号されたTMCC情報は、TMCC制御部112に送出される。

【0058】TMCC制御部112は、TMCC情報から伝送路復号に必要なTMCCデータを抽出し、各トランスポートストリーム(TS)に対応したTMCC情報を得るとともに、復号に必要な情報を各機能ブロックに配信する。

【0059】受信装置100は、以上のような構成により、BSデジタル放送を受信して、MPEG-2システムに準拠したトランスポートストリームを復調する。

#### 【0060】復調部の構成

図2に、BSデジタル受信装置100の復調部101の構成を示し、この復調部101についてさらに説明する。

【0061】復調部101は、第1の乗算器121と、

第2の乗算器122と、局部発振器123と、-90度移相器124と、第1のアナログ/デジタル(A/D)変換器125と、第2のアナログ/デジタル(A/D)変換器126と、第1の波形整形フィルタ127と、第2の波形整形フィルタ128と、第1のタイミング同期用のレジスタ129と、第2のタイミング同期用のレジスタ130と、搬送波同期部131と、タイミング同期部132とを備えて構成される。

【0062】パラボラアンテナ等により受信されたRF信号は、第1の乗算器121及び第2の乗算器122に入力される。

【0063】局部発振器123は、周波数 $f_c'$ 、初期位相 $t_h'$ の $\cos$ 波である搬送波を発生する。周波数 $f_c'$ 及び初期位相 $t_h'$ は、送信側の搬送波とは一致せず異なる周波数となる。発生された搬送波は、-90度移相器124及び第1の乗算器121に供給される。

【0064】-90度移相器124は、 $\cos$ 波である搬送波を90度位相を遅らせ、 $-\sin$ 波を生成する。生成した $-\sin$ 波は、第2の乗算器122に供給される。

【0065】第1の乗算器121は、受信信号と $\cos$ 波とを乗算し、I信号を直交復調する。第2の乗算器122は、受信信号と $-\sin$ 波とを乗算し、Q信号を直交復調する。復調されたI信号は、例えばローパスフィルタ等により高域成分が除去されて第1のA/D変換器125に供給される。また、復調されたQ信号は、例えばローパスフィルタ等により高域成分が除去されて第2のA/D変換器126に供給される。

【0066】第1のA/D変換器125は、アナログ信号であるI信号をデジタル化する。また、第2のA/D変換器126は、アナログ信号であるQ信号をデジタル化する。第1のA/D変換器125及び第2のA/D変換器126は、タイミング同期部132から出力されるサンプリングクロックCLKによってI信号及びQ信号をサンプリングする。このときサンプリングCLKは、送信側の伝送データのシンボルクロックと周波数及び位相が同期し、その周波数が伝送データのシンボルクロックの4倍とされている。このサンプリングクロックCLKの周波数及び位相は、タイミング同期部132により制御される。デジタル化されたI信号データは、第1の波形整形フィルタ127及びタイミング同期用のレジスタ129を介して、搬送波同期部131に供給される。また、デジタル化されたQ信号データは、第2の波形整形フィルタ128及びタイミング同期用のレジスタ130を介して、搬送波同期部131に供給される。

【0067】搬送波同期部131は、伝送データ(I, Q)に含まれている搬送波周波数誤差及び搬送波位相誤差を検出し、その誤差成分の補正をすることにより、受信側の局部発振器123により発生された搬送波の周波数 $f_c'$ 及び位相 $t_h'$ と送信側の搬送波の周波数 $f_c$



及び位相  $t_h$  との間で生じている周波数及び位相ずれを補正する。

【0068】 タイミング同期部 132 は、A/D 変換器 125、126 のサンプリングタイミングと、シンボルタイミングとのタイミング位相誤差を検出し、この位相誤差に応じて A/D 変換器 125、126 のサンプリングクロックをフィードバック制御することによって、タイミング同期処理を行う回路である。具体的には、タイミング同期部 132 は、波形整形フィルタ 127、128 から出力された伝送データ (I, Q) から、

タイミング位相誤差を検出し、その位相誤差が 0 となるようなサンプリングクロック、即ち、送信側の伝送データのシンボルクロックに対して位相及び周波数が同期したサンプリングクロックを生成する。

【0069】 なお、このタイミング同期部 132 は、シンボルタイミング周波数  $f_s$  に対して、4 倍の周波数のサンプリングクロック CLK を発生する。そして、A/D 変換器 125、126 は、このサンプリングクロック CLK を用いて、伝送データに対して 4 倍オーバーサンプリングを行う。また、このタイミング同期部 132

#### 【0070】 タイミング同期部の全体構成

タイミング同期部 132 は、図 2 に示すように、位相誤差検出回路 141 と、2 値化回路 142 と、スイッチ 143 と、1 ビット D/A 変換器 144 と、VCO (Voltage Controlled Oscillator) 145 と、プリセット回路 146 とを備えて構成される。

【0071】 位相誤差検出回路 141 は、波形整形フィルタ 127、128 から出力された伝送データ (I, Q) と、後段の VCO 145 から発生されるサンプリングクロック CLK とが入力され、これらの信号から、伝送データのサンプリングタイミングとシンボルタイミングとのタイミング位相誤差  $P_{err}$  を検出する。また、位相誤差検出回路 141 は、シンボルの同期タイミングを示すタイミング同期信号 (周波数  $f_s$ ) も生成する。タイミング位相誤差  $P_{err}$  は、2 値化回路 142 に供給される。タイミング同期信号は、レジスタ 129、130 に供給され、これらのレジスタ 129、130 のイネーブル信号として用いられる。

【0072】 2 値化回路 142 は、位相誤差検出回路 141 により検出されたタイミング位相誤差  $P_{err}$  を閾値 0 で 2 値化、即ち、タイミング位相誤差  $P_{err}$  がプラスであれば 1、マイナスであれば 0 というように符号

化することによって、アップダウン信号 U/D を生成する。このアップダウン信号 U/D は、サンプリングクロック CLK の周波数を高くするか低くするかを示す 1 ビットの信号となる。また、2 値化回路 142 は、このアップダウン信号 (U/D) の有効性を示すイネーブル信号 EN も発生する。アップダウン信号 U/D 及びイネーブル信号 EN は、スイッチ 143 を介して、1 ビット D/A 変換器 144 に供給される。

【0073】 1 ビット D/A 変換器 144 は、入力されたアップダウン信号 U/D 及びイネーブル信号 EN に応じて出力電圧を変化させる、1 ビット入力のデジタル/アナログ変換装置である。この 1 ビット D/A 変換器 144 は、イネーブル信号 EN が有効 (ON) とされ且つアップダウン信号 U/D が ON (アップダウン信号 U/D は、ON のときにサンプリングクロック CLK の周波数を高くすることを示すものとする。) とされている場合には、出力電圧を 1 量子化単位分だけ増加させる。1 ビット D/A 変換器 144 は、イネーブル信号 EN が有効 (ON) とされ且つアップダウン信号 U/D が OFF (アップダウン信号 U/D は、OFF のときにサンプリングクロック CLK の周波数を低くすることを示すものとする。) とされている場合には、出力電圧を 1 量子化単位分だけ減少させる。また、1 ビット D/A 変換器 144 は、イネーブル信号 EN が無効 (OFF) とされている場合には、出力電圧を変化させない。1 ビット D/A 変換器 144 から出力される出力電圧は、VCO 145 に供給される。

【0074】 VCO 145 は、サンプリングクロック CLK を発生する発振器であり、1 ビット D/A 変換器 144 から入力された電圧値  $V_{out}$  に応じてその発振周波数を変化させる。入力された電圧値  $V_{out}$  が上昇すれば、出力するクロックの周波数を高くし、入力された電圧値  $V_{out}$  が減少すれば、出力するクロックの周波数を低くする。

【0075】 このような VCO 145 は、タイミング同期が確立したときには、シンボルクロックの周波数  $f_s$  に対して 4 倍の周波数のサンプリングクロック CLK を発生することとなる。この VCO 145 により発生されたサンプリングクロック CLK は、A/D 変換器 125、126 に供給されるとともに、1 ビット D/A 変換器 144、プリセット回路 146、位相誤差検出回路 141 にも供給される。

【0076】 プリセット回路 146 は、タイミング同期の引き込み時に用いられる回路であり、タイミング同期の引き込みの際に、VCO 145 から発生されるサンプリングクロック CLK が一定の周波数範囲となるまで 1 ビット D/A 変換器 144 を制御する。そして、VCO 145 から出力されるサンプリングクロック CLK の周波数が、フィードバック制御が可能となる程度の周波数となったときに、スイッチ 143 を 2 値化回



路 142 側に切り換え、ループ制御を行わせる。また、プリセット回路 146 は、タイミング同期のループ制御を行っている最中にも、VCO 145 から出力されるサンプリングクロック CLK の周波数を監視して、同期ループが外れた状態となったかどうかを判断する。プリセット回路 146 は、同期が外れた場合には、スイッチ 143 を切り換え再度タイミング同期の引き込み制御を行う。

【0077】 タイミング同期部を構成する各部の説明  
(位相誤差検出回路) つぎに、位相誤差検出回路 141 について説明をする。

【0078】 まず、位相誤差検出回路 141 によるタイミング位相誤差の検出原理について説明をする。

【0079】 BS デジタル放送の場合、その変調方式は、BPSK、QPSK、8PSK といった 3 つの位相変調方式が用いられる。QPSK、8PSK の受信アナログ信号のアイパターンを、図 3 (A)、図 3 (B) に示す。この復調部 101 によるタイミング同期処理は、図 3 (C) に示すように、A/D 変換器によるサンプリングタイミングを、伝送データのシンボルタイミングに一致させ、デジタル化することが目的である。そのため、例えば図 3 (D) に示すようにサンプリングタイミングがシンボルタイミングに対して位相ずれしていたり、図 3 (E) に示すようにサンプリングタイミングがシンボルタイミングに対して周波数ずれを生じていたりする場合には、そのずれ量を検出して、サンプリングクロック CLK の周波数や位相を補正する必要がある。

【0080】 ここで、BPSK、QPSK、8PSK といった位相変調方式の変調信号の受信アナログ信号の電力レベル (即ち、 $I^2 + Q^2$ ) の平均値は、図 4 (A)、図 4 (B) に示すようなアイパターンに対して、図 4

(C) に示すような信号波形となる。すなわち、位相変調方式の受信アナログ信号の電力レベルの平均値は、シンボルタイミングでそのレベルがピークとなり、シンボルタイミングとシンボルタイミングとの中間位置 (シンボルタイミングから位相が  $180^\circ$  ずれた位置、以下、単にシンボル中間タイミングという。) でレベルがボトムとなる波形となる。そして、この波形は、シンボルタイミング周期で周期性をもち、シンボルタイミングとシンボルタイミングとの間の波形は、シンボル中間タイミングを中心に対称性をもつ波形となっている。

【0081】 そのため、以下のような処理を行うことによって、タイミング位相誤差を検出することができる。

(1) 図 5 (A) に示すようなシンボルタイミング周波数  $f_s$  に対して、4 倍の周波数のサンプリングクロック CLK により、受信アナログ信号を 4 倍オーバーサンプリングする。

(2) 図 5 (B) に示すように、1 シンボル周期の各 4 倍オーバーサンプリング点の位相に、仮に 0、1、2、3 と番号を振る。

(3) 図 5 (C) に示すように、0 番目の位相をシンボルタイミングとし、1 番目の位相の平均電力値と 3 番目の位相の平均電力値とのレベル差を求める。

(4) レベル差をタイミング位相誤差  $P_{err}$  とする。

【0082】 このようにタイミング位相誤差  $P_{err}$  を求めると、例えば、図 5 (D) に示すように、サンプリングタイミングとシンボルタイミングとの同期が取れている場合、1 番目の位相の平均電力と 3 番目の位相の平均電力とのレベル差は、0 となる。

【0083】 また、図 5 (E) に示すように、サンプリングタイミングの位相がシンボルタイミングに対して早い場合、1 番目の位相の平均電力と 3 番目の位相の平均電力とのレベル差は、マイナスとなる。

【0084】 また、図 5 (F) に示すように、サンプリングタイミングの位相がシンボルタイミングに対して遅い場合、1 番目の位相の平均電力と 3 番目の位相の平均電力とのレベル差は、プラスとなる。

【0085】 すなわち、1 番目の位相の平均電力と 3 番目の位相の平均電力とのレベル差は、図 5 (G) に示すように、位相誤差に対して、 $-180 \sim +180$  の検出範囲の  $0^\circ$  を中心とした S 字カーブを描くこととなる。

【0086】 従って、このレベル差を 0 とするように、4 倍オーバーサンプリングしたサンプリングクロック CLK の周波数及び位相を制御することによって、タイミング同期をとることができる。そして、このサンプリングクロック CLK の 0 番目の位相でイネーブル信号 EN を出力し、このイネーブル信号 EN のタイミングでオーバーサンプリングした伝送データをダウンサンプリングすることによって、タイミング同期がとられた伝送データを出力することができる。

【0087】 なお、ここでは、4 倍オーバーサンプリングした例を示したが、タイミング同期周波数  $f_s$  より高い周波数のサンプリングクロック CLK により、受信アナログ信号をサンプリングし、サンプリングした信号から、シンボルタイミングの同期位置の中間位置を中心として対称的位置にある信号点の信号電力のレベル差を求めても、シンボルタイミングの位相誤差を検出することができる。

【0088】 例えば、タイミング同期周波数  $f_s$  の 2 倍のサンプリングクロックにより受信アナログ信号をサンプリングし、これらのサンプリング点から 2 倍補間をして、4 倍オーバーサンプリングしたものと同様のデータを求めてもよいし、また、4 倍オーバーサンプリングに限らず、3 倍や 5 倍、8 倍といったオーバーサンプリングをしてもよい。

【0089】 つぎに、位相誤差検出回路 141 の具体的な回路構成について説明をする。

【0090】 図 6 に、位相誤差検出回路 141 の回路構成図を示す。

【0091】 位相誤差検出回路 141 は、第 1 の乗算器

151と、第2の乗算器152と、加算器153と、第1のレジスタ154と、減算器155と、第2のレジスタ156と、カウンタ157と、第1から第3の比較器158~160と、第3のレジスタ161と、フィルタ162とを備えて構成される。

【0092】第1の乗算器151は、波形整形フィルタ127から出力されたI信号データに対して二乗演算を行う。第2の乗算器152は、波形整形フィルタ128から出力されたQ信号データに対して二乗演算を行う。加算器153は、二乗演算されたI信号データ ( $I^2$ ) と二乗演算されたQ信号データ ( $Q^2$ ) とを加算する。すなわち、この加算器153から出力される値は、伝送データの電力レベル ( $I^2 + Q^2$ ) が格納されることとなる。加算結果は、第1のレジスタ154及び減算器155に供給される。

【0093】カウンタ157は、VCO145から出力されるサンプリングCLKが入力され、このサンプリングCLKを、0~3の範囲で繰り返しカウントしていく。第1の比較器158は、カウンタ157のカウント値が0のときにその出力が有効 (ON) となる。第2の比較器159は、カウンタ157のカウント値が1のときにその出力が有効 (ON) となる。第3の比較器160は、カウンタ157のカウント値が3のときにその出力が有効 (ON) となる。すなわち、第1の比較器158の出力は、上述した0番目の位相 (シンボルタイミング) を示し、第2の比較器159の出力は、上述した1番目の位相を示し、第3の比較器160は、上述した3番目の位相を示すこととなる。

【0094】第1のレジスタ154には、第2の比較器159の出力がイネーブル信号として供給され、この第2の比較器159の出力が有効とされているときのみ、つまり、カウンタ157のカウント値が1となっているときのみ、加算器153から出力された値を格納する。すなわち、第1のレジスタ154は、上述した1番目の位相での電力レベルを格納する。

【0095】減算器155は、加算器153から出力される値から、第1のレジスタ154に格納されている値を演算する。減算器155の出力は、第2のレジスタ156に供給される。第2のレジスタ156は、第3の比較器160の出力がイネーブル信号として供給され、この第3の比較器160の出力が有効とされているときのみ、つまり、カウンタ157のカウント値が3となっているときのみ、減算器155から出力された値を格納する。すなわち、第2のレジスタ156は、上述した3番目の位相での電力レベルから1番目の位相での電力レベルを減算した値を格納する。第2のレジスタ156に格納されている値は、フィルタ回路162に供給される。

【0096】第3のレジスタ161は、第3の比較器160の出力を1クロック分遅延させ、タイミング位相誤差Per rの有効性を示す信号Per rENを出力す

る。

【0097】フィルタ162は、第2のレジスタ156に格納されている値をフィルタリングして平均化し、タイミング位相誤差Per rを出力する。

【0098】また、第1の比較器158の出力は、シンボルタイミングを示すこととなり、図2に示したレジスタ129、130に供給され、4倍オーバーサンプリングされた伝送データが、ダウンサンプリングされることとなる。

【0099】このように位相誤差検出回路141では、BPSK、QPSK、8PSKといったデジタル位相変調信号のシンボルタイミングの位相誤差を、簡易な構成で正確に検出することができる。

【0100】(1ビットD/A変換器) つぎに、1ビットD/A変換器144について説明をする。

【0101】図7に、1ビットD/A変換器144の回路構成を示す。

【0102】1ビットD/A変換器144には、アップダウン信号U/D、サンプリングクロックCLK、イネーブル信号EN、粗微調設定信号F/C、リセット信号RSTが入力される。

【0103】アップダウン信号U/Dは、2値化回路142又はプリセット回路146から供給される。アップダウン信号U/Dは、ONのときに出力電圧Voutを1量子化単位分だけ増加させることを示し、OFFのときに出力電圧Voutを1量子化単位分だけ減少させること示す。

【0104】イネーブル信号ENも、2値化回路142又はプリセット回路146から供給される。イネーブル信号ENは、ONのときにアップダウン信号U/Dが有効であることを示し、OFFのときにアップダウン信号U/Dが無効であることを示す。すなわち、イネーブル信号ENがONのときには、出力電圧Voutが増減し、イネーブル信号ENがOFFのときには、出力電圧Voutが固定されたままとなる。

【0105】粗微調設定信号F/Cは、1量子化単位の値を、大きくするか小さくするかを設定するための信号である。すなわち、出力電圧Voutの1ビットの増減量を、大きくする (粗調整) か小さくする (微調整) かを設定する。ONは、微調整を示し量子化単位が小さく設定され、OFFは、粗調整を示し量子化単位が大きく設定される。この粗微調設定信号F/Cは、スイッチ143が2値化回路142側に切り換えられていて、ルーブ制御がされているときには、常にONに固定され、スイッチ143がプリセット回路146側に切り換えられていて、プリセット回路146によりサンプリングクロックCLKの周波数が制御されているときには、プリセット回路146により粗調整/微調整の制御がされる。

【0106】サンプリングクロックCLKは、VCO145から供給される。また、リセット信号RSTは、図

示しない外部の制御装置等から供給される。リセット信号は、一定時間長のパルス信号であり、例えば、このBSデジタル放送の受信装置の動作開始時等に供給される。

【0107】図7に示すように、1ビットD/A変換器144は、入力バッファ171と、第1の切換スイッチ172と、第2の切換スイッチ173と、微調整用コンデンサ174と、粗調整用コンデンサ175と、出力コンデンサ176と、第1のAND回路177と、第2のAND回路178と、充電回路179とを備えて構成される。

【0108】入力バッファ171には、アップダウン信号U/Dが入力される。この入力バッファ171は、アップダウン信号U/DのON/OFFに対応して、出力をON/OFFする。この入力バッファ171の出力電圧は、アップダウン信号U/DがONのときには電源電圧レベルとなり、また一方OFFのときにはグラウンドレベルとなる。

【0109】第1の切換スイッチ172は、端子A、端子B、端子Cが設けられており、第1のAND回路177による切り換え制御に応じて、基準端子とされる端子Cが、端子A又は端子Bのいずれかに接続される。

【0110】第1の切換スイッチ172のA端子には、入力バッファ171の出力が接続され、端子Bには、Voutが出力される出力端子Oが接続される。そして、端子Cとグラウンドとの間には、微調整用コンデンサ174が接続される。

【0111】第2の切換スイッチ173は、端子A、端子B、端子Cが設けられており、第2のAND回路178による切り換え制御に応じて、基準端子とされる端子Cが、端子A又は端子Bのいずれかに接続される。

【0112】第2の切換スイッチ173のA端子には、入力バッファ171の出力が接続され、端子Bには、Voutが出力される出力端子Oが接続される。そして、端子Cとグラウンドとの間には、粗調整用コンデンサ175が接続される。

【0113】出力コンデンサ176は、Voutの出力端子Oとグラウンドの間に接続されている。この出力コンデンサ176は、微調整コンデンサ174及び粗調整用コンデンサ175の容量よりも十分大きな容量を有している。また、微調整コンデンサ174の容量C<sub>i</sub>は、粗調整用コンデンサ175の容量C<sub>r</sub>よりも小さいものとする。

【0114】第1のAND回路177は、サンプリングクロックCLK、イネーブル信号EN、粗微調設定信号F/Cが入力され、これらの信号全てがONとされているときに、出力がONとなる。第1のAND回路177の出力は、第1の切換スイッチ172の切換制御信号とされ、第1の切換スイッチ172に供給される。第1の切換スイッチ172は、この切換制御信号がONのとき

に端子Bと端子Cとを接続し、OFFのときに端子Aと端子Cとを接続する。

【0115】第2のAND回路178は、サンプリングクロックCLK、イネーブル信号EN、粗微調設定信号F/Cの反転信号が入力され、これらの信号全てがONとされているときに、その出力信号がONとなる。第1のAND回路178の出力信号は、第2の切換スイッチ173の切換制御信号とされる。第2の切換スイッチ173は、この切換制御信号がONのときに端子Bと端子Cとを接続し、OFFのときに端子Aと端子Cとを接続する。

【0116】充電回路179は、Voutの出力端子Oに接続され、リセット信号RSTがONとされている間、所定の電圧値を出力コンデンサ176に与え、この出力コンデンサ176に電荷を蓄積する。充電回路179により出力コンデンサ176に電荷が蓄積されると、出力端子Oからは、充電回路179から発生された電圧値が発生される。

【0117】図8にこの1ビットD/A変換器144の入出力信号の波形例を示し、以下、この1ビットD/A変換器144の動作を説明する。

【0118】まず、粗微調設定信号F/Cにより、微調整／粗調整が設定される。粗微調設定信号F/CがON（すなわち、微調整設定）の場合、第1の切換スイッチ172は切換動作可能とされ、第2の切換スイッチ173は端子Aと端子Cとが接続されたままとされて切換動作は行わない。反対に、粗微調設定信号F/CがOFF（すなわち、粗調整設定）の場合、第2の切換スイッチ173は切換動作可能とされ、第1の切換スイッチ172は端子Aと端子Cとが接続されたままとされて切換動作は行わない。

【0119】微調設定の場合についての動作を説明をする。

【0120】アップダウン信号U/DがONとされ、且つ、イネーブル信号ENがONとされている場合、サンプリングクロックCLKのON/OFFに従い、第1の切換スイッチ172が切り換えられる。第1の切換スイッチ172が端子A側に切り換えられると、入力バッファ171の出力がON（電源電圧レベル）とされているので、微調整用コンデンサ174にQ<sub>i</sub> (= C<sub>i</sub> × V<sub>cc</sub>) の電荷が蓄積される。続いて、第1の切換スイッチ172が端子B側に切り換えられると、微調整用コンデンサ174に蓄積された電荷が、出力コンデンサ176に転送される。

【0121】そのため、出力コンデンサ176が蓄積している電荷量が増加し、この電荷量分に対応した電圧値だけ出力電圧Voutが上昇する。なお、ここで、出力コンデンサ176へ転送される電荷量ΔQは、以下の式により定まる。

$$\Delta Q = C_i (V_i - v)$$

$$v = (C_1 V_1 + C_0 V_{\dots}) / (C_1 + C_0)$$

$V_1$  = 第1の切り換えスイッチ172が端子A側とされているときの微調整用コンデンサ174の電圧値

$V_{\dots}$  = 第1の切り換えスイッチ172が端子A側とされているときの出力コンデンサ176の電圧値

$C_1$  = 微調整用コンデンサ174の容量

$C_0$  = 出力コンデンサ176の容量

一方、アップダウン信号U/DがOFFとされ、且つ、イネーブル信号がONとされている場合、第1の切換スイッチ172が端子A側に切り換えられると、入力バッファ171の出力がOFF（グラウンドレベル）とされているので、微調整用コンデンサ174に蓄積されている電荷は、全て放出される。続いて、第1の切換スイッチ172が端子B側に切り換えられると、出力コンデンサ176に蓄積されている電荷が微調整用コンデンサ174に転送される。

【0122】そのため、出力コンデンサ176が蓄積している電荷量が減少し、この電荷量分に対応した電圧値だけ出力電圧Voutが減少する。なお、出力コンデンサ176から転送される電荷量ΔQも上述した式により定まる。

【0123】また、イネーブル信号ENがOFFとされている場合には、アップダウン信号U/DのON/OFFに関わらず、第1の切換スイッチ172が端子A側に常に切り換えられており、出力コンデンサ176に蓄積されている電荷量は変わらず、従って、出力電圧Voutの値も変化しない。

【0124】なお、粗調設定の場合の基本動作は、微調整の場合の動作と変わらない。しかしながら、微調整用コンデンサ174と粗調整用コンデンサ175との容量が異なるため（ $C_1 < C_2$ ）、出力コンデンサ176に転送する電荷量が異なる。従って、出力電圧Voutの増減単位は、粗調の場合の方が大きい、すなわち、1量子化単位が大きい。

【0125】また、リセット信号RSTがONとなると、予め設定されている初期電圧が、充電回路179から出力コンデンサ176に印加される。そのため、出力コンデンサ176は、この初期電圧にチャージされ、その結果、VCO145から出力するサンプリングクロックCLKの周波数がある初期周波数に設定することができる。

【0126】以上のように1ビットD/A変換器144では、非常に簡易な構成でデジタル/アナログ変換を行うことができ、さらに、高精度且つ高速に動作することができる。

【0127】以上、微調整用コンデンサ174や粗調整用コンデンサ175といった電荷転送用のコンデンサを介して、出力コンデンサ176に電荷を転送する方式のD/A変換器について説明をしたが、本発明はこのような構成に限られず、定電流源を用いて出力コンデンサ1

76に電荷を蓄積する構成としてもよい。以下、定電流源を用いた1ビットD/A変換器の構成例について説明をする。

【0128】図9に、定電流源を用いた1ビットD/A変換器144の回路構成を示す。

【0129】この1ビットD/A変換器144に入力される各種信号は、図7に示した例と同様である。

【0130】接続点Xと出力端子Oとの間には、第1のon/offスイッチ181が設けられている。

【0131】接続点Yと出力端子Oとの間には、第2のon/offスイッチ182が設けられている。

【0132】接続点Xと電源電圧Vccとの間には、第1の微調整用定電流源183と第1の微調整用スイッチ184とが直列に接続されている。また、接続点Xとグラウンドとの間には、第2の微調整用定電流源185と第2の微調整用スイッチ186とが直列に接続されている。

【0133】第1の微調整定電流源183は、電源電圧Vccから接続点Xの方向へ、電流 $i_1$ を流す定電流源である。第2の微調整定電流源185は、接続点Xからグラウンドの方向へ、電流 $i_1$ を流す定電流源である。第1の微調整用スイッチ184及び第2の微調整用スイッチ186は、アップダウン信号U/Dにより、開閉が制御される。アップダウン信号U/Dがオンのときには、第1の微調整用スイッチ184は接続され、第2の微調整用スイッチ186は開放される。一方、アップダウン信号U/Dがオフのときには、第1の微調整用スイッチ184は開放され、第2の微調整用スイッチ186は接続される。

【0134】接続点Yと電源電圧Vccとの間には、第1の粗調整用定電流源187と第1の粗調整用スイッチ188とが直列に接続されている。また、接続点Yとグラウンドとの間には、第2の粗調整用定電流源189と第2の粗調整用スイッチ190とが直列に接続されている。

【0135】第1の粗調整定電流源187は、電源電圧Vccから接続点Yの方向へ、電流 $i_2$ を流す定電流源である。第2の粗調整定電流源189は、接続点Yからグラウンドの方向へ、電流 $i_2$ を流す定電流源である。第1の粗調整用スイッチ188及び第2の粗調整用スイッチ190は、アップダウン信号U/Dにより、開閉が制御される。アップダウン信号U/Dがオンのときには、第1の粗調整用スイッチ188は接続され、第2の粗調整用スイッチ190は開放される。一方、アップダウン信号U/Dがオフのときには、第1の粗調整用スイッチ188は開放され、第2の粗調整用スイッチ190は接続される。

【0136】なお、ここで、電流値 $i_1$ と電流値 $i_2$ との関係は、 $i_1 < i_2$ という関係があるものとする。

【0137】出力コンデンサ176は、Voutの出力

端子Oとグランドの間に接続されている。

【0138】第1のAND回路177は、サンプリングクロックCLK、イネーブル信号EN、粗微調設定信号F/Cが入力され、これらの信号全てがONとされているときに、出力がONとなる。第1のAND回路177の出力は、第1のon/offスイッチ181の開閉の制御信号とされ、第1のon/offスイッチ181に供給される。第1のon/offスイッチ181は、この制御信号がONのときに、接続点Xと出力端子Oとを接続し、OFFのときに接続点Xと出力端子Oとを開放する。

【0139】第2のAND回路178は、サンプリングクロックCLK、イネーブル信号EN、粗微調設定信号F/Cの反転信号が入力され、これらの信号全てがONとされているときに、その出力信号がONとなる。第1のAND回路178の出力信号は、第2のon/offスイッチ182の開閉の制御信号とされる。第2のon/offスイッチ182は、接続点Yと出力端子Oとを接続し、OFFのときに接続点Yと出力端子Oとを開放する。

【0140】充電回路179は、Voutの出力端子Oに接続され、リセット信号RSTがONとされている間、所定の電圧値を出力コンデンサ176に与え、この出力コンデンサ176に電荷を蓄積する。充電回路179により出力コンデンサ176に電荷が蓄積されると、出力端子Oからは、充電回路179から発生された電圧値が発生される。

【0141】つぎに、この定電流源を用いた1ビットD/A変換器144の動作について説明をする。

【0142】まず、粗微調設定信号F/Cにより、微調整/粗調整が設定される。粗微調設定信号F/CがON（すなわち、微調整設定）の場合、第1のon/offスイッチ181は出力端子Oと接続点Xとの間の開閉動作が可能とされ、第2のon/offスイッチ182は出力端子Oと接続点Yとの間の開放したままとする。反対に、粗微調設定信号F/CがOFF（すなわち、粗調整設定）の場合、第2のon/offスイッチ182は出力端子Oと接続点Yとの間の開閉動作が可能とされ、第1のon/offスイッチ181は出力端子Oと接続点Xとの間の開放したままとする。

【0143】微調設定の場合についての動作を説明をする。

【0144】アップダウン信号U/DがONとされ、且つ、イネーブル信号ENがONとされている場合は以下のような動作が行われる。

【0145】サンプリングクロックCLKのON/OFFに従い、第1のon/offスイッチ181が、出力端子Oと接続点Xとの間の接続/開放を繰り返す。また、第1の微調整用スイッチ184が接続され、第2の微調整用スイッチが開放されている。

【0146】サンプリングクロックCLKのオン期間の間は、第1のon/offスイッチ181が接続されるので、

第1の微調整用定電流源183から定電流 $i_1$ が出力コンデンサ176に流れ込む。そのため、電流 $i_1$ とサンプリングクロックCLKのオン期間Tで定まる一定の容量( $i_1 \times T$ )の電荷が、出力コンデンサ176の転送される。

【0147】そのため、出力コンデンサ176が蓄積している電荷量が( $i_1 \times T$ )分増加し、この電荷量に対応した電圧値だけ出力電圧Voutが上昇する。

【0148】一方、アップダウン信号U/DがOFFとされ、且つ、イネーブル信号がONとされている場合は以下のような動作が行われる。

【0149】サンプリングクロックCLKのON/OFFに従い、第1のon/offスイッチ181が、出力端子Oと接続点Xとの間の接続/開放を繰り返す。また、第1の微調整用スイッチ184が開放され、第2の微調整用スイッチ186が接続されている。

【0150】サンプリングクロックCLKのオン期間の間は、第1のon/offスイッチ181が接続されるので出力コンデンサ176から第2の微調整用定電流源185へ、定電流 $i_1$ が流れ込む。そのため、電流 $i_1$ とサンプリングクロックCLKのオン期間Tで定まる一定の容量( $i_1 \times T$ )分の電荷が、出力コンデンサ176から放出される。

【0151】そのため、出力コンデンサ176が蓄積している電荷量が( $i_1 \times T$ )分減少し、この電荷量に対応した電圧値だけ出力電圧Voutが減少する。

【0152】また、イネーブル信号ENがOFFとされている場合には、アップダウン信号U/DのON/OFFに関わらず、第1のon/offスイッチ181が開放されており、出力コンデンサ176に蓄積されている電荷量は変わらず、従って、出力電圧Voutの値も変化しない。

【0153】なお、粗調設定の場合の基本動作は、微調設定の場合の動作と変わらない。しかしながら、流れる電流値が異なるため( $i_1 < i_2$ )、出力コンデンサ176に転送される電荷量が異なる。従って、出力電圧Voutの増減単位は、粗調の場合の方が大きい、すなわち、1量子化単位が大きい。

【0154】(プリセット回路) つぎに、プリセット回路146について説明をする。

【0155】図10に、タイミング調整回路132を示すとともに、プリセット回路146の詳細構成を示す。

【0156】プリセット回路146は、第1のカウンタ201と、第2のカウンタ202と、第1のレジスタ203と、第1のセクタ204と、第1の比較器205と、第2のレジスタ206と、減算器207と、絶対値回路208と、第2のセクタ209と、第2の比較器210と、第3のレジスタ211と、第4のレジスタ212と、第5のレジスタ213と、判断回路214とを備えて構成される。

【0157】第1のカウンタ201は、局部発振器123から発生される搬送波に基づき生成された基準クロック  $Re f CK$  が入力される。第1のカウンタ201は、この基準クロックを0からある所定の値 (MAX) までカウントする。このMAX値は、粗微調整設定信号  $F/C$  のON/OFFに応じて、その値が切り替わる。

【0158】第2のカウンタ202は、VCO145から発生されるサンプリングクロックCLKが入力され、このサンプリングクロックCLKをカウントする。そして、この第1のカウンタ202は、第1のカウンタ201のキャリアウト信号COがリセット端子に入力されると、再度0からサンプリングクロックCLKをカウントする。

【0159】第1のレジスタ203は、第1のカウンタ201からキャリアウト信号COが出力されたタイミングで、第2のカウンタ202のカウント値を格納する。

【0160】すなわち、第1のレジスタ203は、キャリアウト信号COの出力間隔内に発生されたサンプリングクロックCLKのパルス数、つまり、第1のカウンタ201で定められる一定周期内に発生されるサンプリングクロックCLKのパルス数を、内部に格納する。換言すれば、この第1のレジスタ203には、サンプリングクロックCLKの周波数を示す値が格納されることとなる。なお、以下、この第1のレジスタ203に格納されるカウント値を、測定周波数値Xという。

【0161】第1のセクタ204は、粗調整用目標周波数値  $X_c$  と微調整用目標周波数値  $X_f$  とを、粗微調整設定信号  $F/C$  に応じて切り換えて出力する。粗調整用目標周波数値  $X_c$  及び微調整用目標周波数値  $X_f$  は、このプリセット回路146により設定されたサンプリングクロックCLKの目標周波数値を示す値である。第1のセクタ204は、粗調整用設定信号  $F/C$  がONの場合 (微調整用の状態の場合) 微調整用目標周波数値  $X_f$  を出力し、微調整用設定信号  $F/C$  がOFFの場合 (粗調整用の状態の場合) 粗調整用目標周波数値  $X_c$  を出力する。

【0162】第1の比較器205は、第1のレジスタ203に格納されている測定周波数値Xと、第1のセクタ204から出力される値 (粗調整用目標周波数値  $X_c$  又は微調整用目標周波数値  $X_f$ ) とを比較する。第1の比較器205は、測定周波数値Xと、目標周波数値  $X_c$  (又は  $X_f$ ) を比較した結果、測定周波数値Xが小さければONを出力し、大きければOFFを出力する。

【0163】この第1の比較器205の出力信号は、アップダウン信号  $U/D$  として、第2のレジスタ206によりタイミングの調整がされた後、スイッチ143を介して1ビットD/A変換器144に供給される。すなわち、第1の比較器205は、VCO145から発生されるサンプリングクロックCLKの周波数が目標周波数よりも低ければ、アップダウン信号  $U/D$  をONとしてサ

ンプリングクロックCLKの周波数を上昇させ、目標周波数より高ければアップダウン信号  $U/D$  をOFFとしてサンプリングクロックCLKの周波数を減少させる。

【0164】減算器207は、測定周波数値Xから、第1のセクタ204から出力される値 (粗調整用目標周波数値  $X_c$  又は微調整用目標周波数値  $X_f$ ) を減算する。

【0165】絶対値回路208は、減算器207から出力された値の絶対値を算出する。以下、この絶対値回路208から出力される、目標周波数値から測定周波数値Xを引いた結果の絶対値を、周波数誤差値  $Ferr$  と呼ぶ。

【0166】第2のセクタ209は、粗調整用しきい値  $TH_c$  と、微調整用しきい値  $TH_f$  とを、粗微調整設定信号  $F/C$  に応じて切り換えて出力する。粗調整用しきい値  $TH_c$  は、粗調整から微調整動作への切換値を、粗調整用目標周波数値  $X_c$  からの差分量で示している値である。また、微調整用しきい値  $TH_f$  は、微調整から粗調整への切換値を、微調整用目標周波数値  $X_f$  からの差分量で示している値である。第2のセクタ209は、粗調整用設定信号  $F/C$  がONの場合 (微調整用の状態の場合)、微調整用しきい値  $TH_f$  を出力し、微調整用設定信号  $F/C$  がOFFの場合 (粗調整用の状態の場合)、粗調整用しきい値  $TH_c$  を出力する。

【0167】第2の比較器210は、周波数誤差値  $Ferr$  と、第2のセクタ209から出力される値 (粗調整用しきい値  $TH_c$ 、微調整用しきい値  $TH_f$ ) とを比較する。第2の比較器210は、周波数誤差値  $Ferr$  と、しきい値  $TH_c$  (又は、 $TH_f$ ) とを比較した結果、周波数誤差値  $Ferr$  が小さければONを出力し、大きければOFFを出力する。この第2の比較器210の出力信号は、粗微調整設定信号  $F/C$  として、第3のレジスタ211によりタイミングの調整がされた後、スイッチ143を介して1ビットD/A変換器144に供給される。すなわち、サンプリングクロックCLKの周波数が目標周波数にある一定距離まで近づくまでは、粗調整設定で大まかに周波数調整を行って高速に周波数を変化させ、ある一定距離以内となった後には細かく周波数調整を行ってより高精度に周波数を調整するようにしている。

【0168】また、この粗微調整設定信号  $F/C$  は、第1のカウンタ201、第1のセクタ204、第2のセクタ209と、判断回路212とに供給される。第1のカウンタ201は、粗調整から微調整に変更されると、カウント値を長く設定する。そのため、第2のカウンタ202により、粗調整状態より長い周期で周波数測定が行われていくようになる。そして、長い周期で周波数測定を行うことにともない、第1のレジスタ203に格納される測定周波数値Xのレンジが変更するので、それにとともに、目標周波数値及びしきい値が切り換えられ



る。

【0169】第4のレジスタ212と第5のレジスタ213は、第1のカウント201からのキャリアアウトCO信号のタイミング調整をする。タイミング調整をして出力された信号は、アップダウン信号U/Dの有効性を示すイネーブル信号ENとして、スイッチ143を介して1ビットD/A変換器144に供給される。

【0170】判断回路214には、絶対値回路208からの出力される周波数誤差値Ferrと、粗微調整設定信号F/C、第4のレジスタ212からのイネーブル信号ENとが入力される。

【0171】判断回路214は、粗微調整設定信号F/C、イネーブル信号EN、及び、周波数誤差値Ferrに基づき、スイッチ143の切換制御を行う。

【0172】この判断回路214は、微調整設定信号F/CがON（即ち、微調整状態）且つ周波数誤差値Ferrがある一定の値以下となった場合に、スイッチ切換信号lockをONとする。そして、それ以外の場合には、スイッチ切換信号をOFFとする。

【0173】このような構成のプリセット回路146の動作について説明をする。

【0174】まず、復調動作が開始した段階では、スイッチ切換信号lockがOFFとされ、スイッチ143がプリセット回路146側に切り換えられている。そのため、アップダウン信号U/D、粗微調整設定信号F/C、イネーブル信号ENが、プリセット回路146から1ビットD/A変換器144に供給される状態となる。

【0175】粗微調整設定信号F/Cは、動作開始段階ではOFFとされている。第1のセクタ204は、粗調整用目標周波数値Xcを選択し、第2のセクタ209は、粗調整用しきい値THcを選択している。

【0176】第1のカウント201は、搬送波クロックをカウントし、一定周期毎に、キャリアアウト信号COを出力する。第2のカウント202は、このキャリアアウト信号COの間隔で、VCO145から出力されるサンプリングクロックCLKをカウントする。第1のレジスタ203は、キャリアアウト信号COのタイミングで、第2のカウント202のカウント値（測定周波数値X）を格納する。

【0177】第1の比較器205は、粗調整用目標周波数値Xcと測定周波数値Xとを比較し、測定周波数値Xが小さければON、測定周波数値Xが大きければOFFとなるアップダウン信号U/Dを出力する。このアップダウン信号U/Dは、1ビットD/A変換器144に供給され、VCO145から出力されるサンプリングクロックCLKが、目標周波数に近づくように制御されている。

【0178】第2の比較器205は、絶対値回路208の出力値（周波数誤差値Ferr）と、粗調整用しきい値THcとを比較する。その比較の結果、周波数誤差値

Ferrが、粗調整用しきい値THcよりも小さくなったときに、粗微調整設定信号F/CをONとする。

【0179】続いて、粗微調整設定信号F/CがONとなると、1ビットD/A変換器144の量子化単位が小さくなり、1ビットで変動する増減電圧が小さくなり、それにともない細かく周波数調整がされていく。また、第1のカウント201の最大カウント値（MAX）も大きい値に変更され、第1のセクタ204は、微調整用目標周波数値Xfを選択し、第2のセクタ209は、粗調整用しきい値THfを選択する。

【0180】以後、この微調整設定状態で、処理が進められていく。

【0181】そして、この微調整設定状態で、周波数誤差値Ferrが、ある一定の値以下となると、判断回路214が、スイッチ切換信号lockをONとする。

【0182】スイッチ切換信号lockがONとなると、スイッチ143は、2値化回路142側に接続を切り換える。このことにより、2値化回路143から出力されるタイミング位相誤差Perriに基づきアップダウン信号U/D及びイネーブル信号ENが、1ビットD/A変換器144に供給され、タイミング位相誤差Perriが0となるように、ループ制御が行われる。

【0183】以上のように、サンプリングクロックCLKの周波数が大幅にずれている初期状態においては、プリセット回路146がサンプリングクロックCLKの周波数をモニタしながら、このサンプリングクロックCLKの周波数をある一定の範囲にまで調整する。そして、サンプリングクロックCLKの周波数がある一定の範囲にまで調整された後は、シンボルタイミングの位相誤差Perriに基づく制御に切り換えられる。

【0184】このため、確実且つ高速に伝送データのタイミング同期を引き込むことができる。

【0185】なお、プリセット回路146は、ループ制御が行われている最中であっても動作を続行し、VCO145から出力されるサンプリングクロックCLKをカウントし続け、判断回路214が周波数誤差値Ferrをモニタする。このため、周波数誤差値Ferrがある一定の値よりも大きくなり、つまり、サンプリングクロックCLKの周波数が一定量以上ずれた場合には、判断回路214がスイッチ切換信号lockをOFFとし、再度、サンプリングクロックCLKの周波数を調整し直すこととなる。

#### 【0186】タイミング同期回路の変形例

つぎに、タイミング同期回路の変形例について説明する。

【0187】図11にタイミング同期回路の構成を示す。

【0188】タイミング同期回路300は、2値化回路142に変えて、以下に説明するPWM回路301を設けて構成してもよい。



【0189】図12に、PWM回路301の具体的な構成を示す。

【0190】PWM回路301は、カウンタ311と、第1のレジスタ313及び加算器314から構成される累積加算器312と、第2のレジスタ315と、2値化回路316と、絶対値回路317と、増幅器318と、比較器319とから構成される。

【0191】カウンタ311は、位相誤差検出回路141から供給されるイネーブル信号EN（タイミング同期信号）を、例えば0～9まで繰り返しカウントする。

【0192】累積加算器312は、第1のレジスタ313と加算器314とから構成され、位相誤差検出回路141により検出されたタイミング位相誤差Per rを累積加算する。累積加算器312には、カウンタ311からキャリアウト信号COが供給され、このキャリアウト信号COが供給される毎に、このキャリアウト信号COに同期したPer rの値がロードされる。すなわち、それまでの加算サイクルでの累加算値が一旦クリアされ、次の加算サイクルの最初の値（Per r）が加算されたことになる。

【0193】第2のレジスタ315は、カウンタ311からのキャリアウト信号COがイネーブル信号として入力され、このキャリアウト信号COが入力されたタイミングで、累積加算器312の累積加算結果を、内部に保持する。すなわち、第2のレジスタ315には、10サイクル分累積加算されたタイミング位相誤差Per rが格納される。

【0194】2値化回路316は、第2のレジスタ315に格納された累加算結果を、閾値0で2値化する。すなわち、その累加算結果がプラスであれば1を出力し、マイナスであれば0を出力する。この2値化回路505の出力が、アップダウン信号U/Dとして、1ビットD/A変換器144に供給される。

【0195】また、第2のレジスタ315に格納された累加算結果は、絶対値回路317により絶対値演算がされた後、比較器319に供給される。

【0196】増幅器318は、カウンタ311のカウント値を一定の割合で増幅し、比較器319に供給する。

【0197】比較器319は、位相誤差Per rの絶対値とカウント値の増幅値とを比較する。比較器319は、比較した結果、カウント値よりも、累積加算結果の方が大きければ出力をON、小さければ出力をOFFとする。そして、この比較器319の出力が、アップダウン信号U/Dの有効性を示すイネーブル信号ENとして出力される。

【0198】以上のような構成のPWM回路311では、0～9までを繰り返すカウンタ値を増幅した値、すなわち図13（A）に示すような、10サイクル周期の鋸波状の信号が、比較器319に供給される。

【0199】比較器319は、この鋸波状の信号と、累

積加算値の絶対値とを比較して、イネーブル信号ENを生成する。そのため、図13（B）に示すような累積加算値の絶対値に比例してON期間が変動するイネーブル信号を出力することとなる。

【0200】以上のように生成されたアップダウン信号U/D及びイネーブル信号は、1ビットD/A変換器144に供給される。1ビットD/A変換器144は、イネーブル信号がONとされているときのみ動作することとなる。そのため、伝送シンボルの同期タイミングが高速であっても、低速のD/A変換器やNCOを採用することが可能となり、コスト安とすることができる。

#### 【0201】位相誤差検出回路の変形例

以上、伝送データをサンプリングするサンプリングクロックCLKを、シンボルクロックの4倍にして、タイミング同期処理を行う例について説明をしたが、サンプリングクロックCLKをシンボルクロックの2倍に設定してもよい。この場合、2倍のサンプリングクロックCLKのサンプルとサンプルとの間のタイミングの信号レベルを補間して求め、上述した4倍のサンプリングクロックCLKによりサンプルしたときと同様な処理を行えばよい。

【0202】このような2倍のオーバーサンプリングをした場合の位相誤差検出回路の具体的な構成例について説明をする。

【0203】図14に位相誤差検出回路350の回路構成を示す。

【0204】位相誤差検出回路350は、第1の補間フィルタ351と、第2の補間フィルタ352と、第1の乗算器353と、第2の乗算器354と、加算器355と、第1のレジスタ356と、減算器357と、第2のレジスタ358と、カウンタ359と、第1の比較器360と、第2の比較器361と、第3のレジスタ362と、フィルタ回路363とを備えて構成される。

【0205】第1の補間フィルタ351は、波形整形フィルタ127から出力されたI信号データのサンプルとサンプルとの中間タイミングのサンプル点の信号レベルを、2倍補間補間して求める。求められた信号レベルは、上述した1番目の位相、或いは、3番目の位相の信号である。

【0206】第2の補間フィルタ352は、同様に、波形整形フィルタ128から出力されたQ信号データのサンプルとサンプルとの中間タイミングのサンプル点の信号レベルを、2倍補間補間して求める。求められた信号レベルは、上述した1番目の位相、或いは、3番目の位相の信号である。

【0207】第1の乗算器353は、補間して求められたI信号データに対して二乗演算を行う。第2の乗算器354は、補間して求められたQ信号データに対して二乗演算を行う。加算器355は、二乗演算されたI信号データ（ $I^2$ ）と二乗演算されたQ信号データ（ $Q^2$ ）と

を加算する。すなわち、この加算器 355 から出力される値は、伝送データの電力レベル ( $I^2 + Q^2$ ) が格納されることとなる。加算結果は、第 1 のレジスタ 356 及び減算器 357 に供給される。

【0208】カウンタ 359 は、VCO 145 から出力されるサンプリング CLK が入力され、このサンプリング CLK を、0~1 の範囲で繰り返しカウントしていく。第 1 の比較器 360 は、カウンタ 359 のカウント値が 0 のときにその出力が有効 (ON) となる。第 2 の比較器 361 は、カウンタ 359 のカウント値が 1 のときにその出力が有効 (ON) となる。すなわち、第 1 の比較器 360 の出力は、上述した 1 番目の位相を示し、第 2 の比較器 361 の出力は、上述した 3 番目の位相を示すこととなる。

【0209】第 1 のレジスタ 356 には、第 1 の比較器 360 の出力がイネーブル信号として供給され、この第 1 の比較器 360 の出力が有効とされているときのみ、つまり、カウンタ 359 のカウント値が 0 となっているときのみ、加算器 355 から出力された値を格納する。すなわち、第 1 のレジスタ 356 は、補間して求められた上述した 1 番目の位相での電力レベルを格納する。

【0210】減算器 357 は、加算器 355 から出力される値から、第 1 のレジスタ 356 に格納されている値を演算する。減算器 357 の出力は、第 2 のレジスタ 358 に供給される。第 2 のレジスタ 358 は、第 2 の比較器 161 の出力がイネーブル信号として供給され、この第 2 の比較器 161 の出力が有効とされているときのみ、つまり、カウンタ 359 のカウント値が 1 となっているときのみ、減算器 357 から出力された値を格納する。すなわち、第 2 のレジスタ 358 は、上述した 3 番目の位相での電力レベルから 1 番目の位相での電力レベルを減算した値を格納する。第 2 のレジスタ 358 に格納されている値は、フィルタ回路 363 に供給される。

【0211】第 3 のレジスタ 362 は、第 2 の比較器 161 の出力を 1 クロック分遅延させ、タイミング位相誤差  $Per_r$  の有効性を示す信号  $Per_rEN$  を出力する。

【0212】フィルタ回路 363 は、第 2 のレジスタ 358 に格納されている値をフィルタリングして平均化し、タイミング位相誤差  $Per_r$  を出力する。

【0213】このように補間フィルタにより、サンプル点を補間することによって、シンボルクロックの 2 倍の周波数のサンプリングクロック CLK を用いても、正確なタイミング位相誤差  $Per_r$  を検出することができる。

【0214】なお、ここでは、位相誤差を検出するためにサンプリング値を用い (1 番目と 3 番目)、シンボル値を求めるためにサンプリング値を補間して求めたが

(0 番目と 2 番目)、シンボル値をサンプリングし (0

番目と 2 番目) 位相誤差を検出するための値を補間して求める (1 番目と 3 番目) ようにしてもよい。

【0215】

【発明の効果】本発明にかかるデジタル/アナログ変換装置では、出力コンデンサに蓄積された電荷量に応じた電圧が発生され、その発生電圧が電圧出力端子を介して外部に出力される。このデジタル/アナログ変換装置では、チャージ手段/ディスチャージ手段が 1 ビットのアップダウン信号とイネーブル信号に応じて、出力コンデンサに対して 1 クロックで一定量の電荷をチャージ/ディスチャージする。そのため、出力電圧は、1 量子化単位で増減する。

【0216】このことにより、本発明にかかるデジタル/アナログ変換装置では、簡易な構成で、高精度且つ高速に動作することができる。

【0217】また、本発明にかかる数値制御発振装置では、出力コンデンサに蓄積された電荷量に応じた電圧が発生され、その発生電圧が電圧制御発振手段に供給される。電圧制御発振手段は、この出力コンデンサに発生されている電圧値に応じた周波数のクロックを出力する。この数値制御発振装置では、チャージ手段/ディスチャージ手段が 1 ビットのアップダウン信号とイネーブル信号に応じて、出力コンデンサに対して 1 クロックで一定量の電荷をチャージ/ディスチャージする。そのため、出力電圧は、1 量子化単位で増減し、クロックの周波数の一定周波数毎に増減する。

【0218】このことにより、本発明にかかる数値制御発振装置では、簡易な構成で、高精度且つ高速に動作することができる。

【図面の簡単な説明】

【図 1】本発明の実施の形態の BS デジタル放送の受信装置のブロック図である。

【図 2】上記 BS デジタル放送の受信装置の復調部の構成を示す図である。

【図 3】タイミング同期処理について説明をするための図である。

【図 4】PSK 変調信号の電力レベルについて説明をするための図である。

【図 5】シンボルタイミングの位相誤差の検出方法について説明をするための図である。

【図 6】上記復調部のタイミング同期部内の位相誤差検出回路の構成を示す図である。

【図 7】上記復調部のタイミング同期部内の 1 ビット D/A 変換器の構成を示す図である。

【図 8】上記 1 ビット D/A 変換器の入出力信号の波形図及びタイミングチャートである。

【図 9】1 ビット D/A 変換器の他の構成例を示す図である。

【図 10】上記復調部のタイミング同期部内のプリセット回路の構成を示す図である。

【図 11】 タイミング同期回路の変形例の構成を示す図である。

【図 12】 図 11 に示したタイミング同期回路の PWM 回路の構成を示す図である。

【図 13】 PWM 回路の動作を説明するための図である。

【図 14】 位相誤差検出回路の変形例の構成を示す図である。

【図 15】 一般的なデジタル伝送系の構成を示す図である。

【図 16】 従来のタイミング同期回路の構成を示す図で

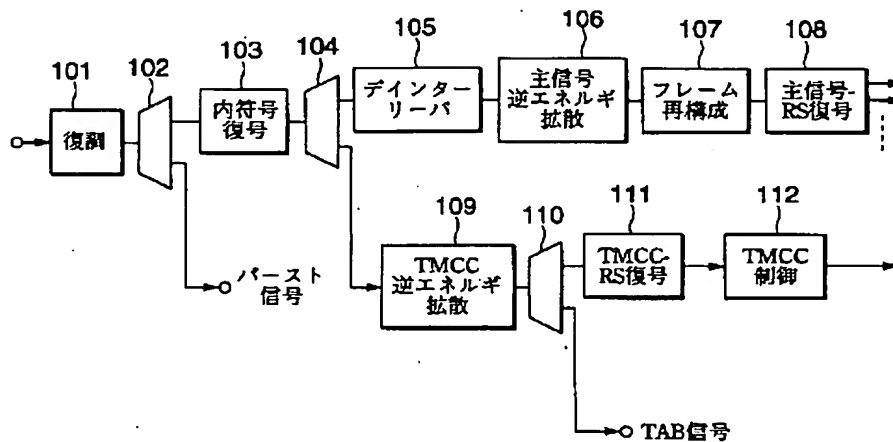
ある。

【図 17】 従来のタイミング同期回路の他の構成例を示す図である。

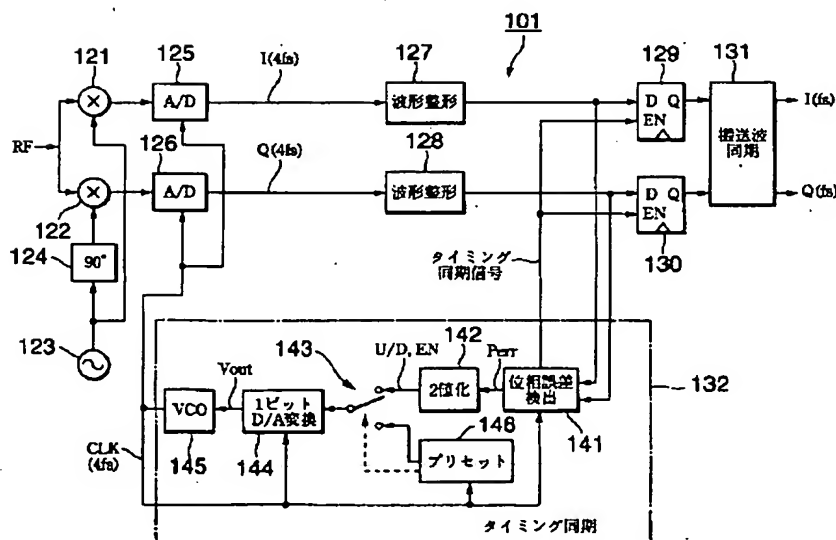
【符号の説明】

100 BSデジタル放送の受信装置、101 復調部、125 第1のA/D変換器、126 第2のA/D変換器、129 第1のレジスタ、130 第2のレジスタ、132 タイミング同期回路、141 位相誤差検出回路、142 2値化回路、143 スイッチ、10 144 1ビットD/A変換器、145 VCO、146 プリセット回路

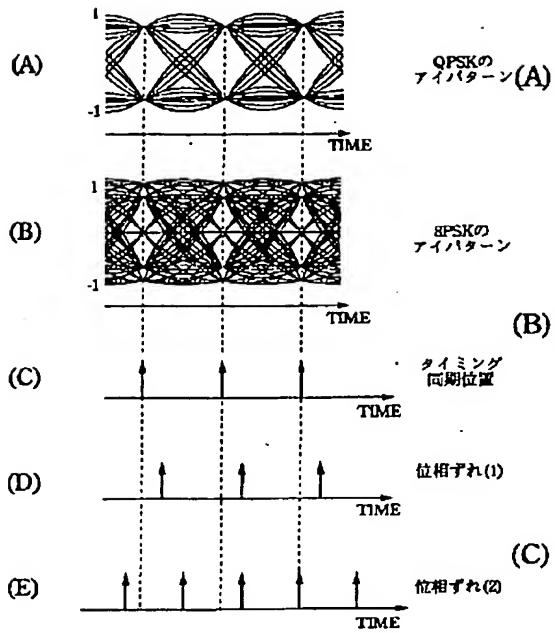
【図 1】



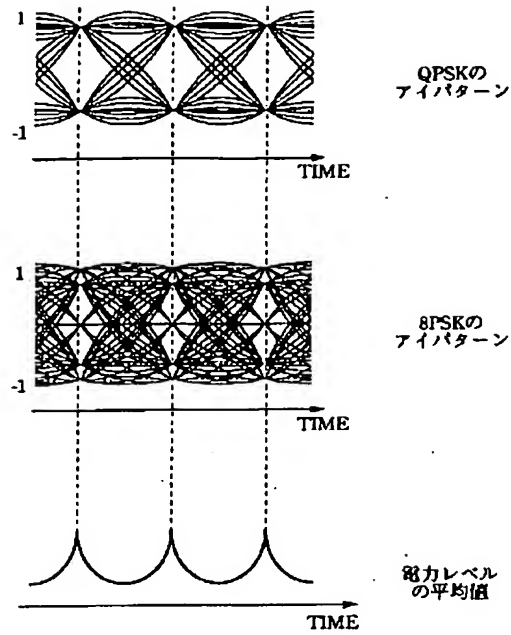
【図 2】



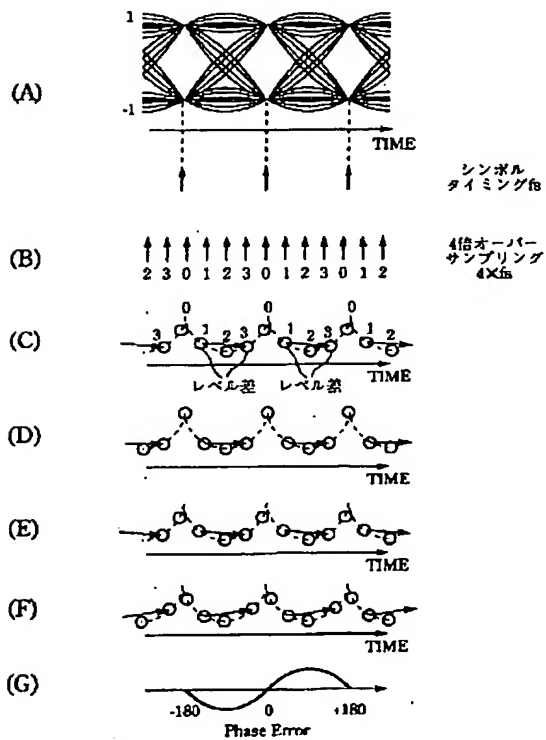
【図3】



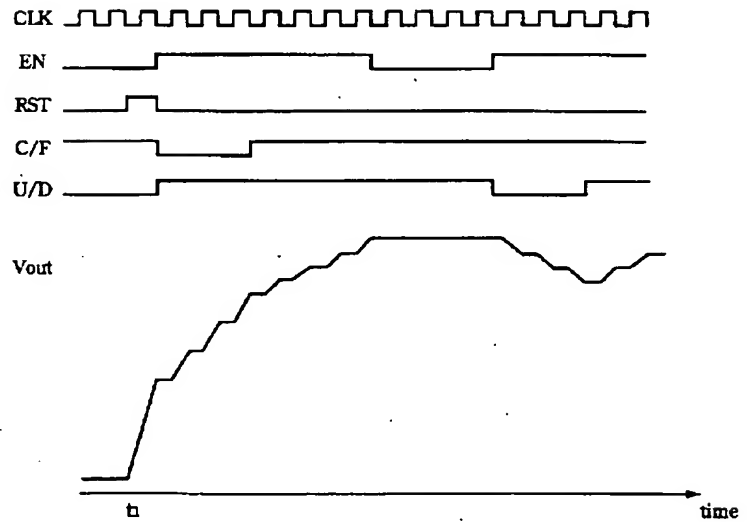
【図4】



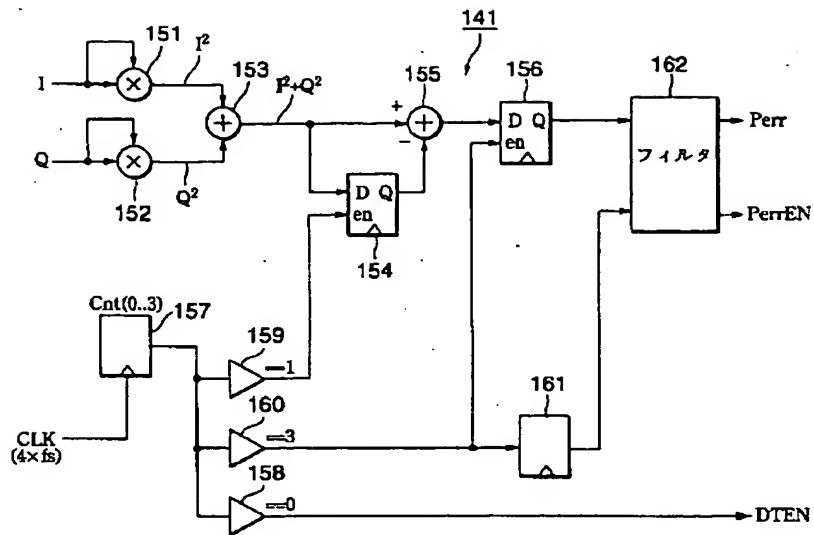
【図5】



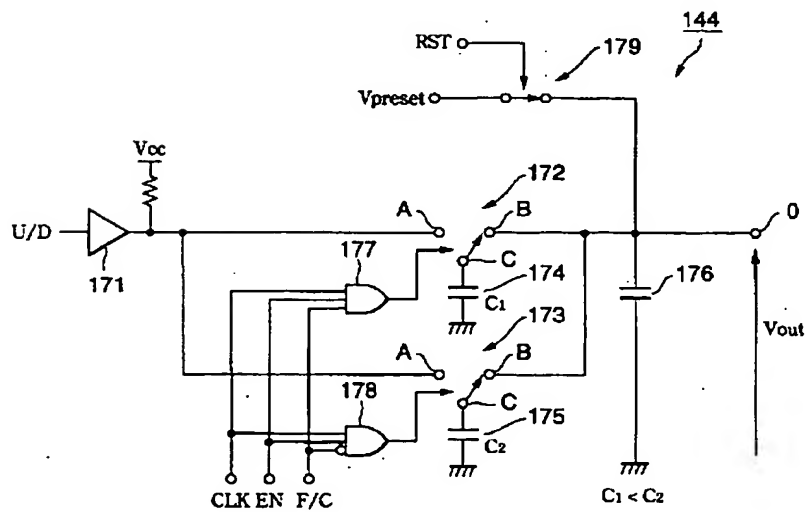
【図8】



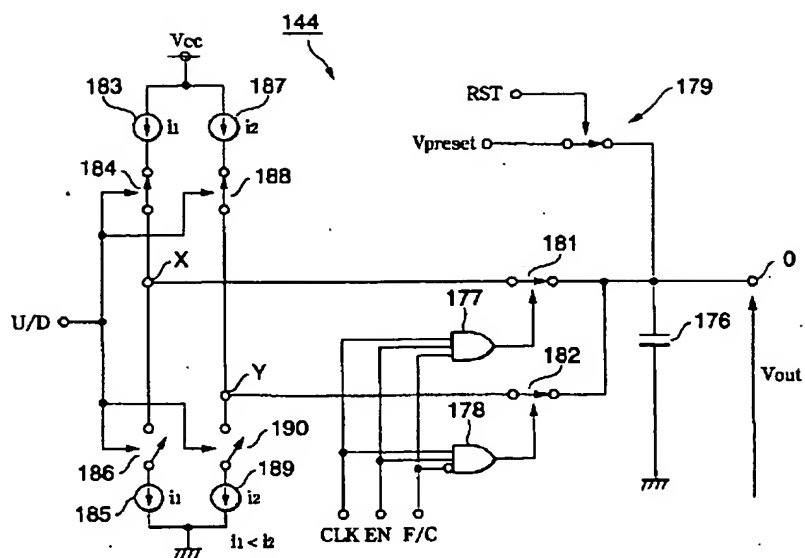
【図 6】



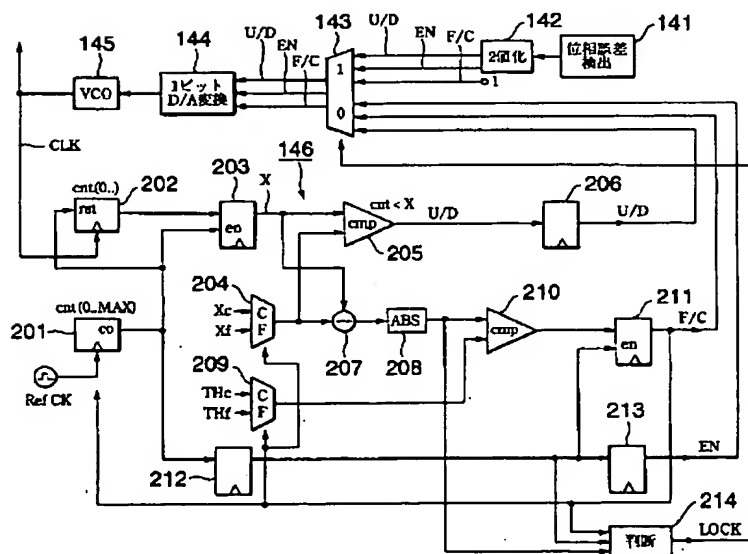
【図 7】



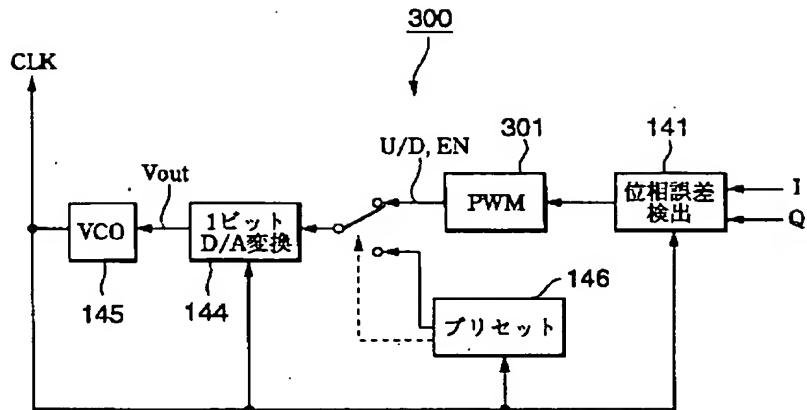
【図 9】



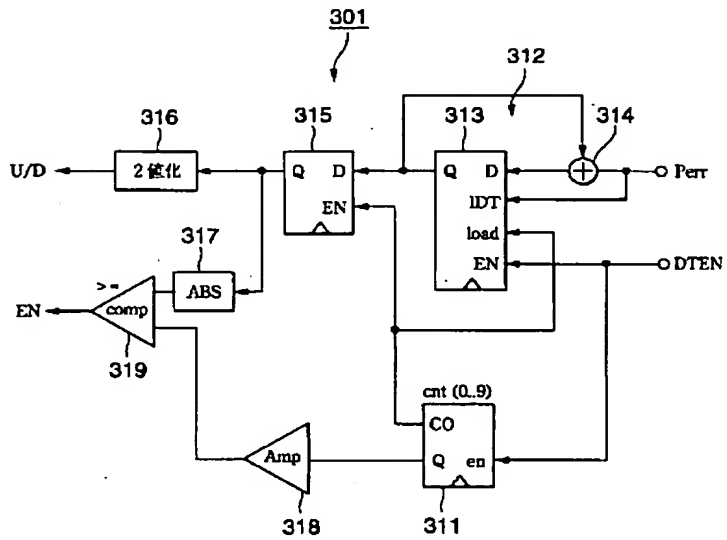
【図 10】



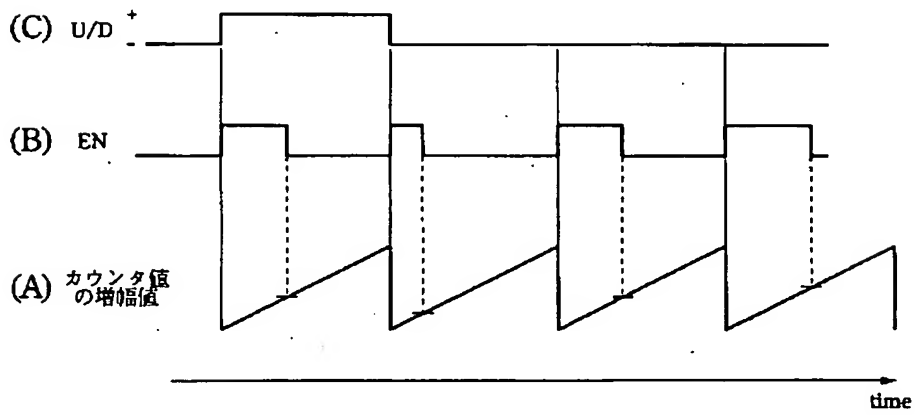
【図 1 1】



【図 1 2】

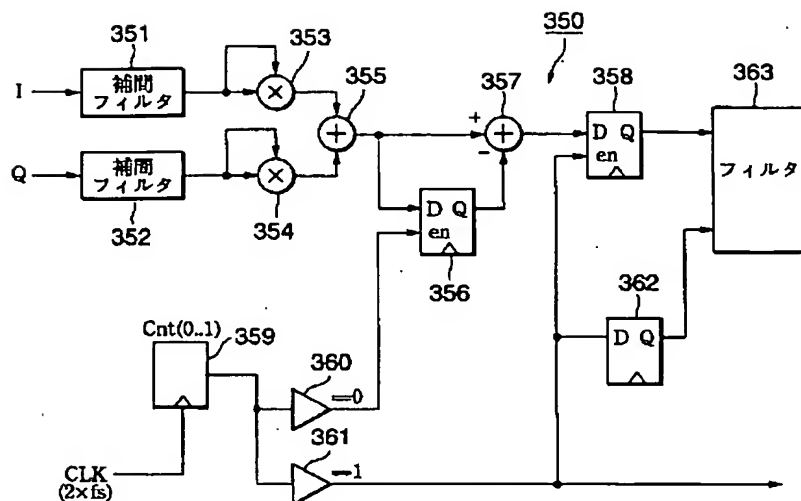


【图 13】

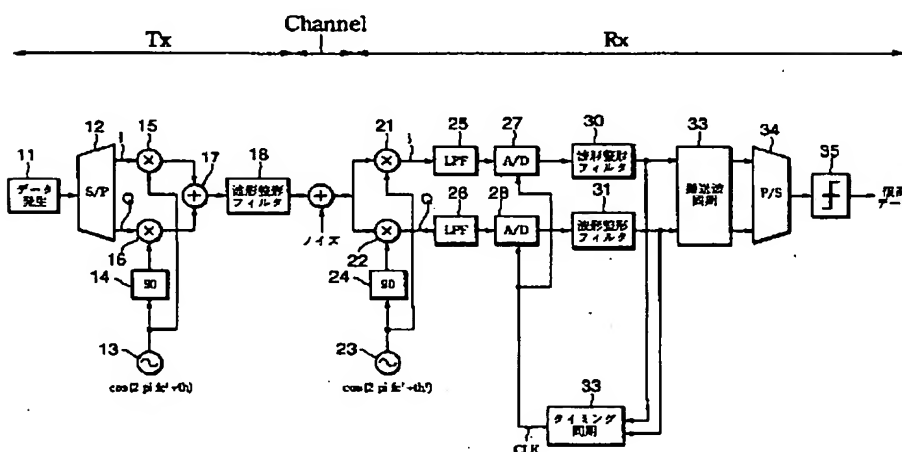




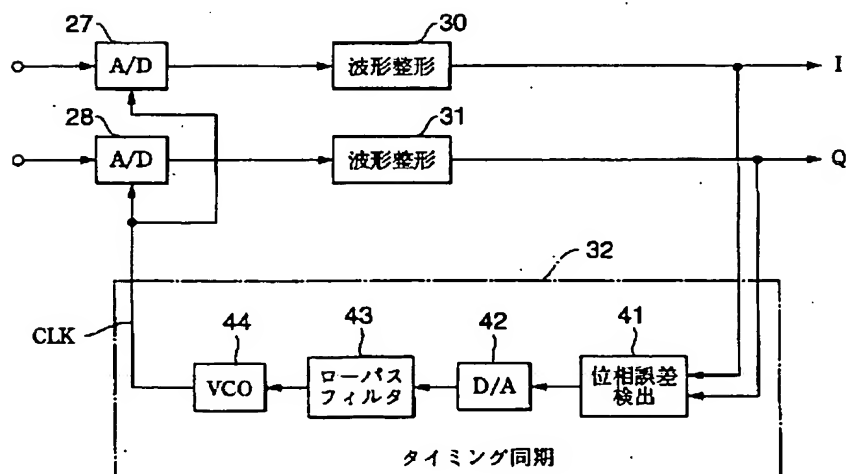
【図 14】



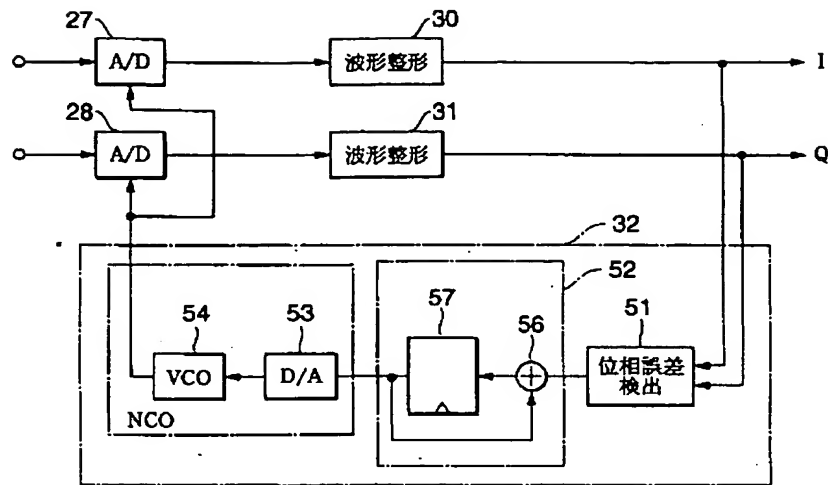
【図 15】



【図 16】



【図 17】



フロントページの続き

(72)発明者 池田 康成

東京都品川区北品川 6 丁目 7 番 35 号 ソニ

ー株式会社内

F ターム(参考) 5J022 AB07 BA05 CE02 CF03

5J106 AA05 BB02 CC03 CC16 CC24

CC38 DD35 DD46 EE08 GG01

HH02 JJ01 JJ09